

IN THE UNITED STATES DESIGNATED OFFICE (DO/US)

In re: Horii Hideki

Application Serial No. To be assigned

Filed: Concurrently herewith:

For: PHASE CHANGEABLE MEMORY DEVICES HAVING REDUCED  
CELL AREAS AND METHODS OF FABRICATING THE SAME

Date: July 11, 2003

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2002-49137, filed August 20, 2002.

Respectfully submitted,



Elizabeth A. Stanek  
Registration No. 48,568



20792

PATENT TRADEMARK OFFICE  
Telephone (919) 854-1400  
Facsimile (919) 854-1401

**CERTIFICATE OF EXPRESS MAILING**

"Express Mail" mailing label number: EV 353610280 US

Date of Deposit: July 11, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Rosa Lee Brinson

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

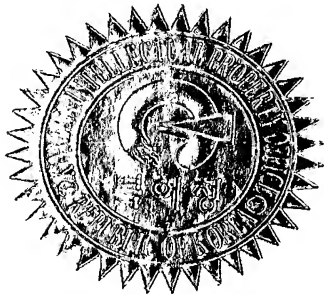
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0049137  
Application Number

출원년월일 : 2002년 08월 20일  
Date of Application AUG 20, 2002

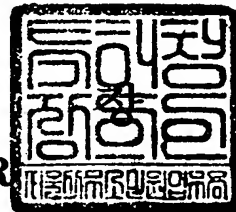
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    03    월    18    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.03.03
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0049137
【출원일자】	2002.08.20
【심사청구일자】	2002.08.20
【발명의 명칭】	상변환 기억 소자
【제출원인】	
【접수번호】	1-1-02-0267459-32
【접수일자】	2002.08.20
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정

**【보정내용】****【발명자】****【성명의 국문표기】**

호리이

**【성명의 영문표기】**

HIDEKI, HORII

**【주소】**

서울특별시 강남구 개포3동 주공아파트 506-1206

**【국적】**

JP

**【취지】**

특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

**【수수료】****【보정료】**

0 원

**【기타 수수료】**

원

**【합계】**

0 원

## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0006		
【제출일자】	2002.08.20		
【발명의 명칭】	상변환 기억 소자		
【발명의 영문명칭】	Phase changeable memory device		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	호리이		
【성명의 영문표기】	HORI I, HIDEKI		
【주민등록번호】	630310-1931001		
【우편번호】	442-070		
【주소】	경기도 수원시 팔달구 인계동 신반포아파트 102동 1206호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	33	면	33,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】	779,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

상변환 기억소자를 제공한다. 이 소자는 반도체기판의 소정영역에 형성된 활성영역을 구비한다. 이 활성영역은 서로 마주보는 제1 및 제2 측벽을 갖는 트랜지스터 활성영역과 제1 및 제2 측벽들로 부터 각각 돌출된 제1 및 제2 스토리지 활성영역들로 구성된다. 제1 및 제2 스토리지 활성영역들은 각각 트랜지스터 활성영역의 중심을 지나면서 제1 및 제2 측벽들을 가로지르는 중심선의 양측에 위치한다. 트랜지스터 활성영역의 상부를 가로지르고 제1 및 제2 측벽들과 평행한 한 쌍의 게이트 라인들이 배치된다. 제1 및 제2 스토리지 활성영역들 상에 각각 제1 및 제2 정보저장요소들이 배치된다. 제1 및 제2 정보저장요소들은 각각 제1 및 제2 스토리지 활성영역에 전기적으로 접속된다. 제1 및 제2 정보저장요소들의 상부에 게이트라인들을 가로지르도록 연장된 비트라인이 배치된다. 비트라인은 제1 및 제2 정보저장요소들에 전기적으로 접속된다.

**【대표도】**

도 6

**【명세서】****【발명의 명칭】**

상변환 기억 소자{Phase changeable memory device}

**【도면의 간단한 설명】**

도 1은 전형적인 상변환 기억소자(typical phase changeable memory device)의 단위 셀의 등가회로도이다.

도 2는 상변환 기억 셀에 채택되는 상변환 물질의 특성을 설명하기 위한 그래프이다.

도 3은 종래의 상변환 기억소자의 설명하기 위한 셀 어레이의 일부를 나타내는 평면도이다.

도 4는 본 발명에 따른 상변환 기억소자의 셀어레이의 등가회로도이다.

도 5 및 도 6은 본 발명의 일 실시예에 따른 상변환 기억소자의 평면도들이다.

도 7A는 도 6의 I-I' 따라 취해진 상변환 기억소자를 설명하기 위한 단면도이다.

도 7A는 도 6의 I-I' 따라 취해진 상변환기억소자 중 다른 구조의 히터플러그 및 정보저장요소를 설명하기 위한 단면도이다.

도 8 및 도 9는 본 발명의 실시예에 의한 상변환 기억소자 중 다른 구조의 공통 소스 라인을 설명하기 위한 단면도들이다.

도 10A는 도 12의 II-II'을 따라 취해진 단면도이다.

도 10B는 도 12의 II-II'을 따라 취해진 상변환 기억소자 중 다른 구조의 히터플러그 및 정보저장요소를 설명하기 위한 단면도이다.



도 10C는 도 12의 II-II'을 따라 취해진 상변환 기억 소자 중 또 다른 구조의 공통 소오스 라인을 설명하기 위한 단면도이다.

도 11 및 도 12는 도 7A의 상변환 기억소자의 형성방법을 설명하기 위한 단면도들이다.

도 13은 도 7B의 상변환 기억소자의 형성방법을 설명하기 위한 단면도이다.

도 14 내지 도 16은 도 10A의 상변환 기억소자의 형성방법을 설명하기 위한 단면도들이다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 소자에 관한 것으로, 특히 상변환 기억소자에 관한 것이다.

<16> 반도체 기억 소자들은 전원 공급이 끊어졌을때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나눌 수 있다. 휘발성 기억 소자들의 대표적인 것은 디램 소자 및 에스램 소자이며, 비휘발성 기억소자들의 대표적인 것은 플래쉬 기억 소자들이다.

<17> 통상적으로, 플래쉬 기억 셀들은 반도체기판에 차례로 적층된 게이트절연막, 부유 게이트, 유전체막 및 제어게이트로 구성된 게이트 패턴을 갖는다. 플래쉬 기억 셀의 데이터를 기입 또는 소거하는 원리는 상기 게이트절연막을 통하여 전하들을 터널링시키는 방법을 사용한다. 이때, 전원전압에 비하여 높은 동작전압이 요구된다. 이로 인하여, 상

기 플래쉬 기억 소자들은 기입동작 및 소거동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.

- <18> 한편, 상기 플래쉬 기억소자들 대신할 수 있는 새로운 비휘발성 기억소자들, 예컨대, 상변환 기억소자들이 최근에 제안된 바 있다.
- <19> 도 1은 전형적인 상변환 기억소자들의 단위 셀의 등가회로도이다.
- <20> 도 1을 참조하면, 상기 상변환 기억 셀은 하나의 액세스 트랜지스터(Ta) 및 하나의 가변저항체(variable resistor; C)로 구성된다. 상기 가변저항체(C)는 하부전극, 상부전극 및 그들 사이에 개재된 상변환 물질막(phase changeable material layer)로 구성된다. 상기 가변저항체(C)의 상기 상부전극은 플레이트 전극(PL)과 접속된다. 또한, 상기 액세스 트랜지스터(Ta)는 상기 하부전극과 접속된 소오스 영역, 상기 소오스 영역과 이격된(spaced apart) 드레인 영역 및 상기 소오스 영역 및 드레인 영역 사이의 채널 영역 상에 위치하는 게이트 전극을 포함한다. 상기 액세스 트랜지스터(Ta)의 상기 게이트 전극 및 드레인 영역은 각각 워드라인(WL) 및 비트라인(BL)에 접속된다. 결과적으로, 상기 상변환 기억 셀의 등가회로도도 디램 셀의 등가회로도도 유사하다. 그러나, 상기 상변환 물질막의 성질은 상기 디램 셀에 채택되는 유전체막의 성질과는 전혀 다르다. 즉, 상기 상변환 물질막은 온도에 따라 2개의 안정된 상태(two stable states)를 갖는다.
- <21> 도 2는 상기 상변환 기억 셀을 프로그램 및 소거시키는 방법을 설명하기 위한 그래프이다. 여기서, 가로축은 시간( )을 나타내고, 세로축은 상기 상변환 물질막에 가해지는 온도(TMP)를 나타낸다.

<22> 도 2를 참조하면, 상기 상변환 물질막을 용융온도(melting temperature;  $T_m$ )보다 높은 온도에서 제1 기간(first duration;  $T_1$ ) 동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 비정질 상태(amorphous state)로 변한다(곡선 ① 참조). 이에 반하여, 상기 상변환 물질막을 상기 용융온도( $T_m$ )보다 낮고 결정화 온도(crystallization temperature;  $T_c$ )보다 높은 온도에서 상기 제1 기간( $T_1$ ) 보다 긴 제2 기간(second duration;  $T_2$ ) 동안 가열한 후에 냉각시키면, 상기 상변환 물질막은 결정 상태(crystalline state)로 변한다(곡선 ② 참조). 여기서, 비정질 상태를 갖는 상변환 물질막의 비저항은 결정질 상태를 상변환 물질막의 비저항보다 높다. 따라서, 읽기 모드에서 상기 상변환 물질막을 통하여 흐르는 전류를 감지(detection)함으로써, 상기 상변환 기억 셀에 저장된 정보가 논리 "1" 인지 또는 논리 "0"인지를 판별(discriminate)할 수 있다. 상기 상변환 물질막으로는 게르마늄(Ge), 텔루리움(tellurium; Te) 및 스티비움(stibium; Sb)을 함유하는 화합물막(compound material layer; 이하 'GTS막' 이라 함)이 널리 사용된다.

<23> 도 3은 종래의 상변환 기억소자의 설명하기 위한 셀 어레이의 일부를 나타내는 평면도이다.

<24> 도 3을 참조하면, 반도체기판에 2차원적으로 배열된 복수개의 활성영역들(10)이 배치된다. 상기 활성영역들(10)을 가로질러 복수개의 평행한

<25> 게이트 라인들(20)이 배치된다. 상기 게이트 라인들(20)은 워드라인에 해당한다. 상기 활성영역들(10)의 각각은 한쌍의 게이트 라인들(20)과 교차한다. 따라서, 상기 활성영역들(10)의 각각은 상기 한쌍의 게이트 라인들(20)들에 의해 3개의 영역들로 나뉘어진다. 상기 한 쌍의 게이트 라인들(20) 사이의 활성영역(10)은 공통 드레인 영역에 해당

하고, 상기 공통 드레인 영역의 양 옆에 위치한 활성영역들은 소오스 영역들에 해당한다. 상기 공통 드레인 영역들, 상기 소오스 영역들 및 상기 게이트 라인들(20)은 트랜지스터들을 구성한다. 즉, 상기 활성영역들(10)의 각각에는 2개의 단위 셀이 형성된다. 상기 공통 드레인 영역들은 비트라인 콘택홀들(25)을 통하여 비트라인들(30)들과 전기적으로 접속한다. 상기 비트라인들(30)은 상기 게이트 라인들(20)을 가로지른다. 상기 각 소오스 영역들 상부에 상변환물질막 패턴(40)이 배치된다. 상기 상변환물질막 패턴(40)은 콘택홀(35) 내부를 채우는 히터플러그(heater plugs)를 통하여 상기 상변환물질막 패턴(40) 하부의 상기 소오스 영역들과 전기적으로 접속한다.(히터플러그들은 미도시함) 상기 상변환물질막 패턴들(40)은 상기 상변환물질막 패턴들(40) 상부에 위치하는 플레이트 전극과 전기적으로 접속한다.(플레이트 전극 미도시함)

<26>        상기 상변환물질막 패턴(40)은 GTS막으로 형성되고, 상기 히터플러그들은 티타늄질화막(TiN)으로 형성된다. 상기 상변환 물질막 패턴(40)에 원하는 정보를 기입하기 위해서는 상기 히터플러그를 통하여 흐르는 전류의 밀도를 증가 시켜야 한다. 이에 따라, 상기 히터플러그의 직경은 감소되어야 하고, 상기 트랜지스터의 채널 폭(A, channel width)는 증가되어야 한다. 이로 인하여, 상기 채널 폭(A)이 증가되어 상변환 기억소자의 한 쌍의 셀들 면적(B)이 증가할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<27>        본 발명이 이루고자 하는 기술적 과제는 단위 셀면적을 최소화시키는데 적합한 상변환 기억소자를 제공하는데 있다.

## 【발명의 구성 및 작용】

<28> 상술한 기술적 과제를 해결하기 위한 상변환 기억소자를 제공한다. 이 상변환 기억소자는 반도체기판의 소정영역에 형성된 활성영역을 포함한다. 상기 활성영역은 서로 마주보는 제1 및 제2 측벽들을 갖는 트랜지스터 활성영역과 상기 제1 및 제2 측벽들로부터 각각 돌출된 제1 및 제2 스토리지 활성영역들로 구성된다. 상기 제1 및 제2 스토리지 활성영역은 각각 상기 트랜지스터 활성영역의 중심을 지나면서 상기 제1 및 제2 측벽들을 가로지르는 중심선의 양측에 위치한다. 한 쌍의 게이트 라인들이 상기 트랜지스터 활성영역의 상부를 가로지른다. 이때, 상기 한쌍의 게이트 라인들은 상기 제1 및 제2 측벽들과 평행하다. 상기 제1 및 제2 스토리지 활성영역 상에 각각 제1 및 제2 정보저장요소들이 배치된다. 상기 제1 및 제2 정보저장요소들은 상기 제1 및 제2 스토리지 활성영역에 각각 전기적으로 접속된다. 상기 제1 및 제2 정보저장요소들의 상부에 상기 게이트 라인들을 가로지르도록 연장된 비트라인이 배치된다. 이때, 상기 한 쌍의 게이트 라인들 사이의 상기 트랜지스터 활성영역은 공통 소오스 영역이고, 상기 비트라인은 상기 제1 및 제2 정보저장요소들에 전기적으로 접속된다.

<29> 구체적으로, 상기 제1 및 제2 정보저장요소들은 각각 제1 및 제2 상변환 물질막 패턴들을 포함하되, 상기 제1 및 제2 상변환 물질막 패턴은 각각 칼코게나이드(chalcogenide) 원소인 텔루리움(Te) 및 셀레니움(Se) 중 선택된 적어도 하나를 함유하는 물질막으로 이루어지는 것이 바람직하다.

<30> 상기 상변환 기억소자는 어레이(array)로 형성될 수 있다. 본 발명의 실시예에서는, 어레이 형태의 상변환 기억소자를 보여준다. 본 발명의 실시예에 따른 상변환 기억소자는 반도체기판에 행들 및 열들을 따라 2차원적으로 배열된 복수개의 활성

영역들을 포함한다. 상기 활성화영역들의 각각은 상기 행 방향과 평행하면서 서로 마주보는 제1 및 제2 측벽들을 갖는 트랜지스터 활성화영역과 상기 제1 및 제2 측벽들로 부터 각각 돌출된 제1 및 제2 스토리지 활성화영역들로 구성된다. 상기 제1 및 제2 스토리지 활성화영역들은 각각 상기 트랜지스터 활성화영역의 중심을 지나면서 상기 열과 평행한 중심선의 양측에 위치한다. 복수개의 게이트 라인들이 상기 트랜지스터 활성화영역들의 상부를 상기 행방향과 평행하게 가로지른다. 상기 제1 및 제2 스토리지 활성화영역들 상에 각각 제1 및 제2 정보저장요소들이 배치된다. 상기 제1 및 제2 정보저장요소들은 상기 제1 및 제2 스토리지 활성화영역들에 각각 전기적으로 접속된다. 상기 제1 및 제2 정보저장요소들의 상부에 상기 열 방향을 따라, 연장된 복수개의 비트라인들이 배치된다. 이때, 상기 각 트랜지스터 활성화영역들의 상부를 한쌍의 상기 게이트 라인들이 가르지르고, 상기 한 쌍의 게이트 라인들 사이의 상기 트랜지스터 활성화영역들의 각각은 공통 소오스 영역이며, 상기 비트라인들의 각각은 상기 각 열들 내에 배열된 상기 제1 및 제2 정보저장요소들에 전기적으로 접속된다.

<31> 구체적으로, 상기 복수개의 행들 중 짝수 행 및 이와 이웃하는 홀수 행 사이에 위치한 상기 제1 및 제2 스토리지 활성화영역들은 상기 행들과 평행한 방향을 따라 서로 번갈아가면서 반복적으로 배열되는 것이 바람직하다.

<32> 상기 각 행들 내에 배열된 상기 공통 소오스 영역들 사이에 개재된 커넥터 활성화영역들을 더 포함할 수 있다. 이때, 상기 각 커넥터 활성화영역들은 상기 각 행들 내에서 인접하는 상기 두개의 상기 공통 소오스 영역들 사이에 개재되어, 상기 각 행들 내에 배열된 상기 공통 소오스 영역들을 전기적으로 접속시킨다. 이와는 달리, 상기 공통 소오스 영역들의 상부에 상기 행 방향을 따라 연장되어 배치된 복수개의 공통 소오스 배선들을

더 포함할 수 있다. 이때, 상기 공통 소오스 배선들의 각각은 상기 각 행들 내에 배열된 상기 공통 소오스 영역들에 전기적으로 접속된다.

<33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<34> 도 4는 본 발명에 따른 상변환 기억소자의 셀 어레이의 등가회로도이다.

<35> 도 4를 참조하면, 본 발명에 따른 상변환 기억소자의 셀 어레이는 2차원적으로 배열된 복수개의 상변환 기억 셀들을 포함한다. 상기 각 상변환 기억셀들은 한개의 액세스 트랜지스터(Ta) 및 한개의 정보저장요소(S)로 구성된다. 상기 정보저장요소(S)는 적어도 하나의 상변환물질막 패턴을 갖는다. 상기 정보저장요소(S)는 비트라인(BL)에 접속된다. 상기 액세스 트랜지스터(Ta)는 상기 정보저장요소(S)와 접속하는 드레인 영역(D), 상기 드레인 영역(D)과 이격된 공통소오스 영역(CSR) 및 상기 드레인 영역(D)과 상기 공통소오스 영역(CSR) 사이의 채널 상에 위치하는 게이트 전극(G)을 포함한다. 상기 액세스 트랜지스터(Ta)의 상기 게이트 전극(G) 및 상기 공통소오스 영역(CSR)은 각각 워드라인(WL) 및 공통 소오스 라인(common source line; CSL)과 접속한다. 상기 워드라인(WL)

은 상기 비트라인(BL)을 가로지르고, 상기 공통 소오스 라인(CSL)과 평행하다. 본 발명에 따른 상변환 기억소자는 전형적인 상변환 기억소자에 포함되는 플레이트 전극이 요구되지 않는다.

<36> 본 발명에 따른 상변환 기억소자의 동작과정을 간략히 설명하면, 프로그램 동작시, 상기 상변환 기억셀들 중 선택된 기억 셀의 워드라인(WL)에 게이트 온 전압(gate on voltage)을 인가한다. 상기 선택된 기억 셀의 워드라인(WL)을 제외한 나머지 워드라인들은 게이트 오프 전압(gate off voltage)을 인가한다. 상기 선택된 기억 셀과 접속하는 공통 소오스 라인(CSL)에 접지전압(ground voltage)을 인가하고, 상기 선택된 셀의 비트라인(BL)에 프로그램 전압을 인가하여 상기 상변환물질막에 데이터를 프로그램한다.

<37> 도 5 및 도 6은 본 발명의 실시예에 따른 상변환 기억소자를 설명하기 위한 평면도이고, 도 7A는 도 6의 I-I' 따라 취해진 상변환 기억소자를 설명하기 위한 단면도이며, 도 7B는 도 6의 I-I' 따라 취해진 상변환기억소자 중 다른 구조의 히터플러그 및 정보저장요소를 설명하기 위한 단면도이다.

<38> 도 5, 도 6, 도 7A 및 7B를 참조하면, 반도체기판(100)에 행들 및 열들을 따라 2차원적으로 배열된 복수개의 활성영역들(104)이 배치된다. 상기 행들은 x축과 평행하고, 상기 열들은 y축과 평행하다. 상기 활성영역들(104)의 각각은 서로 마주보는 제1 및 제2 측벽들(200,201)을 갖는 트랜지스터 활성영역(101), 상기 제1 측벽(200)으로 부터 돌출된 제1 스토리지 활성영역(102) 및 상기 제2 측벽(201)으로 부터 돌출된 제2 스토리지 활성영역(103)으로 구성된다. 상기 제1 및 제2 측벽들(200,201)은 상기 행 방향과 평행하다. 상기 제1 및 제2 스토리지 활성영역들(102,103)은 각각 상기 트랜지스터 활성영역(101)의 중심을 지나면서 상기 제1 및 제2 측벽들(200,201)을 가로지르는 중심



선의 양측에 위치한다. 상기 활성영역들(101) 사이의 상기 반도체기판(100)에 소자분리막(110)이 형성된다. 상기 트랜지스터 활성영역들(101)의 상부를 가로지르는 복수개의 게이트 라인들(117)이 배치된다. 상기 각 트랜지스터 활성영역들(101)의 상부를 한 쌍의 게이트 라인들(117)이 가로지른다. 상기 한 쌍의 게이트 라인들(117) 사이의 상기 각 트랜지스터 활성영역들(101) 및 상기 제1 및 제2 스토리지 활성영역(102,103)에 불순물확산층(119)이 형성된다. 상기 한 쌍의 게이트 라인들(117) 사이의 상기 트랜지스터 활성영역(101)은 공통 소오스 영역(CSR)에 해당하고, 상기 제1 및 제2 스토리지 활성영역들(102,103)의 각각은 드레인 영역에 해당하며, 상기 게이트 라인들(117)은 워드라인에 해당한다. 이에 따라, 상기 한 쌍의 게이트 라인들(117), 상기 공통소오스 영역(CSR) 및 상기 드레인 영역으로 구성된 트랜지스터들이 배치된다. 즉, 상기 활성영역(104)들의 각각은 두개의 상변환 기억 셀들로 구성된다. 상기 게이트 라인(117)은 반도체기판(101)에 차례로 적층된 게이트 절연막 패턴(115) 및 게이트 전극(116)으로 구성되고, 상기 게이트 라인(117)의 양 측벽에 스페이서(118)가 배치될 수 있다.

<39>        상기 트랜지스터 활성영역들(101)의 각각은 상기 행 방향과 평행한 채널 폭(W)을 갖고, 상기 제1 및 제2 스토리지 활성영역들(102,103)은 상기 채널 폭(W)과 평행한 소정의 폭(k)을 갖는다. 이때, 상기 소정의 폭(k)은 상기 채널 폭(W)에 비하여 작다. 더 바람직하게는, 상기 소정의 폭(k)은 상기 채널 폭(W)의 1/2보다 작다. 이로 인하여, 상기 제1 및 제2 스토리지 활성영역(102,103)의 소정의 폭(k)이 감소된 면적만큼 종래의 한쌍의 셀면적에 비하여 감소된 한쌍의 셀면적(M)을 구현할 수 있다.

<40>        또한, 상기 복수개의 행들중 짝수 행 및 이와 이웃하는 홀수 행 사이에 위치한 상기 제1 및 제2 스토리지 활성영역들(102,103)은 상기 행들과 평행한 방향을 따라 서로

번갈아가면서 반복적으로 배열된다. 이로 인하여, 상기 상변환 기억 셀을 채택한 셀어레이를 갖는 상변환 기억소자의 면적을 감소시킬 수 있다.

<41>       상기 각 행들 내에 배열된 상기 공통 소오스 영역들(CSR) 사이에 커넥터 활성영역(105; connector active region)들이 개재된다. 상기 각 커넥터 활성영역들(105)은 상기 각 행들 내에 배열된 인접한 2개의 공통 소오스 영역들(CSR) 사이에 개재된다. 상기 커넥터 활성영역들(105)은 상기 각 행들 내에 배열된 공통 소오스 영역들(CSR)을 전기적으로 접속시킨다. 다시 말해서, 상기 각 행들 내에 배열된 상기 공통 소오스 영역들(CSR) 및 상기 커넥터 활성영역들(105)은 공통 소오스 라인에 해당한다.

<42>       상기 활성영역들(104), 상기 커넥터 활성영역(105), 상기 소자분리막(110) 및 상기 게이트 라인들(117)을 덮는 하부 충전절연막(120)이 배치된다. 상기 제1 및 제2 스토리지 활성영역들(102, 103) 상부의 상기 하부 충전절연막(120) 상에 각각 제1 및 제2 정보저장요소들(150a, 151a)이 배치된다. 상기 하부 충전절연막(120)을 관통하여 하부면이 상기 각 제1 스토리지 활성영역들(102)과 접촉하고, 상부면이 상기 각 제1 정보저장요소들(150a)과 접촉하는 제1 하부플러그(122) 및 하부면이 상기 제2 스토리지 활성영역들(103)의 소정영역과 접촉하고, 상부면이 상기 제2 정보저장요소들(151a)과 접촉하는 제2 하부플러그(123)가 배치된다. 상기 제1 및 제1 하부플러그들(122, 123)은 상기 제1 및 제2 정보저장요소들을 각각 상기 제1 및 제2 스토리지 활성영역들(102, 103)에 전기적으로 접속시킨다. 상기 제1 및 제2 하부플러그들(122, 123)은 금속막인 텅스텐막으로 형성할 수 있다. 상기 제1 및 제2 하부 플러그들(122, 123)의 각각은 소정의 직경을 갖는다. 상기 제1 하부플러그(122)의 소정의 직경과 상기 제2 하부플러그(122)의 소정의 직경은 같은 것이 바람직하다. 이때, 상기 제1 및 제2 스토리지 활성영역들(102, 103)의 각각이

갖는 상기 소정의 폭(k)은 상기 제1 및 제2 하부플러그들(122,123)의 각각이 갖는 소정의 직경보다 큰 것이 바람직하다. 다시 말해서, 상기 제1 및 제2 스토리지 활성영역들(102,103)의 각각이 갖는 소정의 폭(k)은 상기 제1 및 제2 하부플러그들(122,123)의 각각이 갖는 소정의 직경보다 크고, 상기 채널 폭(W)의 1/2 보다 작은 것이 바람직하다.

<43>       상기 제1 및 제2 정보저장요소들(150a,151a)은 각각 제1 및 제2 상변환 물질막 패턴들(131a,131b)을 포함한다. 상기 제1 및 제2 상변환 물질막 패턴들(131a,131b)은 각각 칼코게나이드(chalcogenide) 원소인 텔루리움(Te) 및 셀레니움(Se) 중 선택된 적어도 하나를 함유하는 물질막으로 이루어지는 것이 바람직하다. 예를 들면, Ge-Sb-Te막으로 이루어질 수 있다.

<44>       상기 제1 하부플러그(122) 및 상기 제1 상변환물질막 패턴(130a) 사이 및 상기 제2 하부플러그(123) 및 상기 제2 상변환물질막 패턴(130b) 사이에 각각 제1 및 제2 베리어막 패턴들이(130a, 130b) 개재될 수 있다. 상기 제1 및 제2 베리어막 패턴들(130a,130b)은 상기 제1 및 제2 하부플러그들(122,123) 및 상기 제1 및 제2 상변환물질막 패턴(130a,130b) 간의 반응을 방지하는 역할을 한다. 즉, 텅스텐막과 상기 상변환 물질막이 반응하는 것을 방지하는 역할을 한다. 상기 제1 및 제2 베리어막 패턴(130a,130b)은 금속질화막으로 형성할 수 있다. 예를 들면, 티타늄질화막 또는 탄탈늄질화막으로 형성할 수 있다.

<45>       상기 하부 층간절연막(120) 및 상기 제1 및 제2 정보저장요소들(150a,151a)을 덮는 상부 층간절연막(135)이 배치된다. 상기 하부 및 상부 층간절연막(120,135)은 일반적인 층간절연막으로 사용되는 실리콘산화막으로 이루어질 수 있다. 상기 상부 층간절연막(135)을 관통하여 하부면이 상기 각 제1 정보

저장요소들(150a)의 소정영역과 접촉하는 제1 상부플러그(137) 및 상기 상부 층간절연막을 관통하여 하부면이 상기 각 제2 정보저장요소(150a)의 소정영역과 접촉하는 제2 상부플러그(137)가 배치된다. 상기 제1 및 제2 상부플러그들(137,138)의 상부면들은 노출된다. 상기 제1 및 제2 상부플러그들(137,138)의 상부면과 접촉하고, 상기 열 방향으로 연장된 복수개의 비트라인들(140a)이 배치된다. 상기 비트라인들(140a)의 각각은 상기 각 열들 내에 배열된 상기 제1 및 제2 상부 플러그들(137,138)의 상부면과 접촉한다. 상기 제1 및 제2 상부플러그들(137,138)은 상기 비트라인들(104a)을 상기 제1 및 제2 정보저장요소들(130a,130b)에 전기적으로 접속시킨다. 이때, 상기 제1 및 제2 상부플러그들(137,138)의 각각은 히터플러그로 이루어질 수 있다. 상기 히터플러그는 상기 제1 및 제2 상변환물질막 패턴(131a,131b)의 상변환을 위한 열을 발생시키는 역할을 한다. 즉, 상기 비트라인(140a)을 통하여 프로그램 전압이 공급되면, 상기 제1 및 제2 상변환 물질막 패턴들(131a,131b) 및 상기 히터플러그인 상기 제1 및 제2 상부플러그들(137,138) 사이의 계면에서 열이 발생한다. 이로 인하여, 상기 계면과 접하는 상기 상변환물질막 패턴(131a)의 소정영역이 저항이 다른 두가지 안정된 상태로 변환된다. 상기 제1 및 제2 상부플러그들(137,138)은 각각 상기 제1 및 제2 상변환물질막 패턴들(131a,131b)와 접촉한다. 상기 제1 및 제2 상부플러그들(137,138)은 각각 상기 제1 및 제2 하부플러그들(122,123)의 직경보다 작은 직경을 갖을 수 있다.

<46>       상기 히터플러그는 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON막, TiAlON막, WON막 및 TaON막으로 이루어진 일군에서 선택된 적어도 하나로 이루어질 수 있다.

- <47> 이와는 다르게, 상기 제1 및 제2 하부플러그들(122a, 123a)이 상기 히터플러그로 이루어질 수 있다. 도 7b에 도시된 바와 같이, 이때에는 상기 제1 및 제2 상변환물질막 패턴들(131a, 131b)의 하부면들이 각각 상기 제1 및 제2 하부플러그들(122a, 123a)의 상부면과 접촉한다. 이때, 상기 제1 및 제2 상부플러그들(137a, 138a)은 금속막인 텅스텐막으로 이루어질 수 있다. 상기 제1 및 제2 상부플러그들(137a, 138a) 및 상기 제1 및 제2 상변환 물질막 패턴(131a, 131b) 사이에 반응을 방지하는 상기 제1 및 제2 베리어막 패턴들(130a, 130b)이 개재될 수 있다.
- <48> 상기 공통 소오스 라인은 다른 구조로 이루어질 수 있다. 이때에는 상기 커넥터 활성영역들(105)이 요구되지 않는다.
- <49> 도 8 및 도 9는 본 발명의 실시예에 의한 상변환 기억소자 중 다른 구조의 공통 소오스 라인을 설명하기 위한 단면도들이고, 도 10A는 도 12의 II-II'을 따라 취해진 단면도이며, 도 10B는 도 12의 II-II'을 따라 취해진 상변환 기억소자 중 다른 구조의 히터 플러그 및 정보저장요소를 설명하기 위한 단면도이다.
- <50> 도 8, 도 9, 도 10A 및 도 10B를 참조하면, 반도체기판(100)에 도 5 및 도 7A에서 상술한 활성영역들(104) 및 게이트 라인들(117)이 배치되고, 상기 활성영역들(104) 및 상기 게이트 라인들(117)을 덮는 하부 층간절연막(120)이 배치된다. 상기 하부 층간절연막(120) 내에 공통 소오스 영역들(CSR)의 상부를 가로지르고, 행 방향을 따라 연장된 복수개의 공통 소오스 배선들(227)이 배치된다. 상기 각 공통 소오스 배선들(227)의 하부면은 상기 하부 층간절연막(120)의 표면으로 부터 소정의 깊이로 이격되고, 그 것의 상부면은 상기 하부 층간절연막(120)의 표면과 같은 높이를 갖는다. 상기 공통 소오스 배선들(227)은 상기 게이트 라인들(117)과 평행하다. 상기 각 공통 소오스 배선들(227)은

각 행들 내에 배열된 상기 공통 소오스 영역들(CSR)의 상부를 가로지른다. 상기 하부 충전절연막(120)을 관통하여 하부면은 상기 각 공통 소오스 영역들(CSR)의 소정영역과 접촉하고, 상부면은 상기 각 공통 소오스 배선들(227)의 하부면과 접촉하는 공통 소오스 플러그(224)가 배치된다. 다시 말해서, 상기 공통 소오스 플러그(224)의 상부면은 상기 하부 충전절연막(120)의 표면으로 부터 상기 소정의 깊이로 이격된다. 상기 각 공통 소오스 배선들(227)은 상기 각 행들 내에 배열된 상기 공통 소오스 플러그들 (224)의 상부면과 접촉한다. 상기 공통 소오스 플러그들(224)은 상기 각 공통 소오스 배선들(227)을 상기 각 행들 내에 배열된 상기 공통 소오스 영역들(CSR)에 전기적으로 접속시킨다. 상기 공통 소오스 배선들(227)은 공통 소오스 라인에 해당한다. 상기 공통 소오스 플러그(224) 및 상기 공통 소오스 배선(227)은 금속막인 텅스텐막으로 형성될 수 있다.

<51>        상기 하부 충전절연막(120)을 관통하여 상기 각 활성영역들(104) 중 제1 및 제2 스토리지 활성영역들(102,103) 상에 배치되는 제1 및 제2 하부플러그들(122,123), 제1 및 제2 정보저장요소들(150a,151a), 제1 및 제2 상부플러그들(137,138) 및 비트라인(140a)은 도 6 및 도 7A에서 설명한 것과 동일하다. 다시 말해서, 상기 제1 및 제2 상부플러그들(137,138)은 히터플러그들로 이루어진다. 이때, 상기 제1 및 제2 상부플러그들(137,138)의 하부면들은 각각 제1 및 제2 상변환 물질막 패턴들(131a,131b)과 접촉한다. 이와는 다르게, 도 10B에서는 제1 및 제2 하부플러그들(122a,123a)가 상기 히터플러그로 이루어진 것을 도시하였다. 이때에는 상기 제1 및 제2 하부플러그들(122a,123a)의 상부면들이 각각 상기 제1 및 제2 상변환 물질막 패턴(131a,131b)과 접촉한다.

<52>        공통 소오스 라인은 또 다른 구조의 형태를 가질 수 있다. 이때에는, 상기 공통 소오스 배선들이 상기 하부 충전절연막 상에 위치한다.

- <53> 도 10C는 도 12의 II-II'을 따라 취해진 상변환 기억 소자 중 또 다른 구조의 공통 소오스 라인을 설명하기 위한 단면도이다.
- <54> 도 9 및 도 10C를 참조하면, 도 6 및 도 7A에서 상술한 것과 같은 활성영역들(104) 및 게이트 라인들(117)이 배치된다. 상기 활성영역들(104) 및 상기 게이트 라인들(117)을 덮는 하부 층간절연막(120)이 배치되고, 상기 하부 층간절연막 상에 공통 소오스 영역들(CSR) 상부를 가로지르고, 행 방향들을 따라 연장된 복수개의 공통 소오스 배선들(227a)이 배치된다. 이때, 상기 각 공통 소오스 배선들(227a)의 하부면은 상기 하부 층간절연막(120)의 표면과 같은 높이를 갖는다. 즉, 상기 각 공통 소오스 배선들(227a)의 상부면은 상기 하부 층간절연막(120)의 표면으로 부터 소정의 높이로 이격되어 있다.
- <55> 상기 하부 층간절연막(120)을 관통하여 상기 각 공통 소오스 영역과 접촉하는 공통 소오스 플러그(224a)가 배치된다. 상기 공통 소오스 플러그(224a)의 상부면은 상기 각 공통 소오스 배선들(227a)의 하부면과 접촉한다. 상기 공통 소오스 플러그(224a)는 상기 각 공통 소오스 영역들(CSR)을 상기 각 공통 소오스 배선들(227a)에 전기적으로 접속시킨다. 즉, 상기 각 공통 소오스 배선들(227a)은 각 행들 내에 배열된 상기 공통 소오스 영역들(CSR)과 전기적으로 접속된다.
- <56> 한편, 상기 각 활성영역들(104) 중 제1 및 제2 스토리지 활성영역들(102, 103) 상에는 상기 하부 층간절연막을 관통하여 상기 제1 및 제2 스토리지 활성영역들(102, 103)의 소정영역들에 각각 접촉하는 제1 및 제2 하부플러그들(122c, 123c)이 배치된다. 상기 하부 층간절연막(120) 상에 상기 제1 및 제2 하부플러그들(122c, 123c)의 상부면들과 각각 접촉하는 제1 및 제2 버퍼 패턴들(260a, 260b)이 배치될 수 있다.

<57>       상기 하부 층간절연막(120), 상기 공통 소오스 배선들(227a) 및 상기 제1 및 제2 버퍼패턴들을 덮는 중간 층간절연막(262)이 배치되고, 상기 제1 및 제2 스토리지 활성영역들(102,103) 상부의 상기 중간 층간절연막(262) 상에 각각 제1 및 제2 정보저장요소들(150a,151b)이 배치된다. 상기 중간 층간절연막(262) 및 상기 제1 및 제2 정보저장요소들(150a,151a)을 덮는 상부 층간절연막(135)이 배치되고, 상기 상부 층간절연막(135) 상에 비트라인들(140a)이 배치된다. 상기 상부 층간절연막(135)을 관통하여 상기 제1 및 제2 정보저장요소들(150a,151a)에 각각 접촉하는 제1 및 제2 상부플러그들(137,138)이 배치된다. 상기 각 열들 내에 배치된 상기 제1 및 제2 상부플러그들(137,138)은 상기 각 비트라인들(140a)과 접촉한다. 상기 제1 및 제2 상부플러그들(137,138)은 히터 플러그로 이루어질 수 있다.

<58>       이 경우에, 상기 제1 및 제2 하부플러그(122c,123c)는 히터플러그로 형성될 수 없다. 다시 말해서, 상기 제1 및 제2 정보저장요소들(150a,151a)과 접촉하는 상기 제1 중간플러그(263a) 및 상기 제1 상부플러그(137) 중 선택된 어느 하나 및 상기 제2 중간플러그(263a) 및 상기 제2 상부플러그(137) 중 선택된 어느 하나가 상기 히터플러그로 이루어진다. 이때, 상기 히터플러그는 제1 및 제2 상변환 물질막 패턴들(131a,131b)과 접촉한다.

<59>       도시하지 않았지만, 상기 제1 및 제2 중간플러그들(263a,263b)은 상기 중간 층간절연막(262) 및 상기 하부 층간절연막(120)을 연속으로 관통하여 각각 상기 제1 및 제2 스토리지 활성영역들(102,103)과 접촉할 수 있다. 이때에는 상기 제1 및 제2 버퍼패턴들(260a,260b) 및 상기 제1 및 제2 하부플러그들(122c,123c)은 요구되지 않는다.

<60>       다음은 상기 상술한 상변환 기억소자들의 형성방법을 설명한다.



- <61> 도 11 및 도 12는 도 7A의 상변환 기억소자의 형성방법을 설명하기 위한 단면도들이고, 도 13은 도 7B의 상변환 기억소자의 형성방법을 설명하기 위한 단면도이다.
- <62> 도 6 및 도 11을 참조하면, 반도체기판(100)에 소자분리막(110)을 형성하여 행들 및 열들을 따라 2차원적으로 배열된 복수개의 활성영역들(104) 및 상기 각 행들에 배열된 상기 활성영역들(104) 사이에 개재된 커넥터 활성영역들(105)을 한정한다. 상기 활성영역들(104)의 각각은 상기 행 방향과 평행한 제1 및 제2 측벽(200,201)을 갖는 트랜지스터 활성영역(101), 상기 제1 측벽(200)에 돌출된 제1 스토리지 활성영역(102) 및 상기 제2 측벽(201)에 돌출된 제2 스토리지 활성영역(103)으로 구성된다. 상기 각 커넥터 활성영역들(105)은 상기 각 행들 내에 배열된 인접한 2개의 상기 트랜지스터 활성영역들(101) 사이에 개재된다. 상기 소자분리막(110)은 트렌치 소자분리막으로 형성될 수 있다. 상기 소자분리막(110)을 갖는 반도체기판(100) 전면에는 게이트 절연막 및 게이트 전극막을 차례로 형성하고, 상기 게이트 전극막 및 상기 게이트 전극막을 연속적으로 패터닝하여 상기 트랜지스터 활성영역들(101)을 가로지르는 복수개의 게이트 라인들(117)을 형성한다. 상기 게이트 라인들(117)은 상기 행 방향과 평행하다. 상기 각 트랜지스터 활성영역들(101)의 상부를 한 쌍의 게이트 라인들(117)이 가로지른다. 상기 각 게이트 라인들(115)은 차례로 적층된 게이트 절연막 패턴(115) 및 게이트 전극(116)으로 구성된다. 상기 게이트 라인들(117) 양측벽에 스페이서(118)를 형성할 수 있다. 상기 게이트 라인들(117) 및 상기 스페이서(118)를 마스크로 사용하여 불순물이온들을 주입하여 상기 게이트 라인들(117) 양측의 상기 활성영역(104)에 불순물확산층(119)을 형성한다. 이때, 상기 제1 및 제2 스토리지 활성영역들(102,103)에 형성된 상기 불순물확산층(119)은 드

레인 영역에 해당하고, 상기 한 쌍의 게이트 라인들 사이의 상기 트랜지스터 활성영역(101)은 공통 소오스 영역에 해당한다.

<63>       상기 불순물확산층(119)을 형성한 후에, 상기 불순물확산층(119) 및 상기 게이트 전극들(116)의 상부면들에 금속실리사이드막을 형성할 수 있다.(미도시함)

<64>       상기 불순물확산층(119)을 갖는 반도체기판(100) 전면에서 하부 층간절연막(120)을 형성한다. 상기 하부 층간절연막(120)은 일반적인 층간절연막으로 사용되는 실리콘산화막으로 형성할 수 있다. 상기 하부 층간절연막(120)을 관통하여 상기 제1 및 제2 활성영역(102,103)의 소정영역들에 각각 접촉하는 제1 및 제2 하부플러그들(122,123)을 형성한다. 상기 제1 및 제2 하부플러그들(122,123)은 금속막인 텅스텐막으로 형성할 수 있다. 상기 제1 및 제2 하부플러그들(122,123)을 갖는 반도체기판(100) 전면에서 베리어막(130) 및 상변환 물질막(131)을 차례로 형성한다. 상기 베리어막(130)은 금속질화막, 예컨대, 티타늄질화막 또는 탄탈늄질화막으로 형성할 수 있다. 상기 상변환물질막(131)은 칼코게나이드(chalcogenide) 원소인 텔루리움(Te) 및 셀레니움(Se) 중 선택된 적어도 하나를 함유하는 물질막으로 형성할 수 있다. 예를 들면, GTS막으로 형성할 수 있다.

<65>       도 6, 도 12 및 도 7A를 참조하면, 상기 상변환물질막(131) 및 상기 베리어막(130)을 연속적으로 패터닝하여 상기 제1 및 제2 하부플러그들(122,123)의 상부면들을 각각 덮는 제1 및 제2 정보저장요소들(150a,151a)을 형성한다. 상기 제1 정보저장요소(150a)는 차례로 적층된 제1 베리어막 패턴(130a) 및 제1 상변환 물질막 패턴(131a)으로 구성되고, 상기 제2 정보저장요소(151a)는 차례로 적층된 제2 베리어막 패턴(130b) 및 제2 상변환 물질막 패턴(131b)로 구성된다.

<66>       상기 제1 및 제2 정보저장요소들(150a,151a)을 갖는 반도체기판(100) 전면에 상부 층간절연막(135)을 형성한다. 상기 상부 층간절연막(135)은 일반적인 층간절연막으로 사용되는 실리콘산화막으로 형성할 수 있다. 상기 상부 층간절연막(135)을 관통하여 상기 제1 및 제2 상변환 물질막 패턴들(131a,131b)의 소정영역들에 각각 접촉하는 제1 및 제2 상부플러그들(137,138)을 형성한다. 이때, 상기 제1 및 제2 상부플러그들(137,138)의 각각은 히터플러그로 형성한다. 상기 히터플러그들은 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON막, TiAlON막, WON막 및 TaON막으로 이루어진 일군에서 선택된 적어도 하나로 형성할 수 있다. 상기 제1 및 제2 상부플러그들(137,138)은 상기 제1 및 제2 하부 플러그들(122,123)의 직경보다 작은 직경으로 형성될 수 있다.

<67>       상기 제1 및 제2 상부플러그들(137,138)을 갖는 반도체기판(100)에 비트라인 도전막(140)을 형성한다. 상기 비트라인 도전막(140)은 텅스텐막으로 형성할 수 있다. 상기 비트라인 도전막(140)을 패터닝하여 도 6 및 도 7A에 도시된 바와 같이, 상기 게이트 라인들(117)을 가로지르는 복수개의 비트라인들(140a)을 형성한다.

<68>       다음은 도 7B의 상변환 기억소자의 형성방법을 설명한다. 상기 하부 층간절연막(120)을 형성하는 방법은 상술한 7B의 상변환 기억소자의 형성방법과 동일하다.

<69>       도 13 및 도 7B를 참조하면, 상기 하부 층간절연막(120)을 관통하여 상기 제1 및 제2 스토리지 활성영역(102,103)의 소정영역들에 각각 접촉하는 제1 및 제2 하부플러그들(122a,123a)을 형성한다. 이때, 상기 제1 및 제2 하부플러그들(122a,123a)은 히터플러그들로 형성한다. 상기 히터플러그는 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON

막,  $TiAlON$ 막,  $WON$ 막 및  $TaON$ 막으로 이루어진 일군에서 선택된 적어도 하나로 형성할 수 있다.

<70>      상기 제1 및 제2 하부플러그들(122a, 123a)를 갖는 반도체기판(100) 전면에 상변환 물질막 및 베리어막 을 차례로 형성하고, 상기 베리어막 및 상기 상변환 물질막을 연속 적으로 패터닝하여 상기 제1 및 제2 하부플러그들의 상부면들을 각각 덮는 제1 및 제2 정보저장요소들(150b, 151b)을 형성한다. 이때, 상기 제1 정보저장요소(150b)은 차례로 적층된 제1 상변환 물질막 패턴(131a) 및 제1 베리어막 패턴(130a)으로 구성되고, 상기 제2 정보저장요소(151b)는 차례로 적층된 제2 상변환 물질막 패턴(131b) 및 제2 베리어막 패턴(130b)으로 구성된다. 상기 제1 및 제2 정보저장요소들(150b, 151b)를 갖는 반도체기판(100) 전면에 상부 충전절연막(135)을 형성하고, 상기 상부 충전절연막(135)을 관통하여 상기 제1 및 제2 정보저장요소들(150b, 151b)의 소정영역들에 각각 <sup>배선</sup>접촉하는 제1 및 제2 상부플러그들(137a, 138a)을 형성한다. 상기 제1 및 제2 상부플러그들(137a, 138a)은 금속막인 텅스텐막으로 형성할 수 있다. 상기 제1 및 제2 상부플러그들(137a, 138a)을 갖는 반도체기판에 비트라인 도전막(140)을 형성하고, 상기 비트라인 도전막을 패터닝하여 게이트 전극들(117)을 가로지르는 복수개의 비트라인(140a)을 형성한다.

<71>      도 14 내지 도 16은 도 10A의 상변환 기억소자의 형성방법을 설명하기 위한 단면도들이다. 활성영역들, 게이트 라인들 및 하부 충전절연막을 형성하는 방법은 도 11에서 상술한 방법과 동일하다.

<72>      도 9, 도 14 및 도 15를 참조하면, 하부 충전절연막(120)을 패터닝하여 상기 하부 충전절연막(120)의 표면으로 부터 소정의 깊이를 갖는 복수개의      트렌치들(221)을 형성한다. 이때, 상기 배선 트렌치들(221)의 각각은 각 행들 내에 배열

된 공통 소오스 영역들(CSR)을 가로지른다. 상기 배선 트렌치(221)의 하부면은 게이트 라인들(117)의 상부면 보다 높은 것이 바람직하다. 상기 배선 트렌치(221) 내에 상기 각 공통 소오스 영역들(CSR)의 소정영역을 노출시키는 공통 소오스 콘택홀(222)을 형성한다. 이때, 제1 및 제2 스토리지 활성영역들(102,103)의 소정영역들을 각각 노출시키는 제1 및 제2 하부콘택홀들(121a,121b)을 동시에 형성할 수 있다. 이와는 달리, 상기 공통 소오스 콘택홀(222)과 상기 제1 및 제2 하부콘택홀들(121a,121b)는 동시에 형성하지 않을 수도 있다.

<73>        상기 공통 소오스 콘택홀(222), 상기 배선 트렌치(221) 및 상기 제1 및 제2 하부콘택홀(121a,121b)을 갖는 반도체기판(100) 전면에 도전막을 형성한다. 이때, 상기 도전막은 상기 공통 소오스 콘택홀(222), 상기 배선 트렌치(221) 및 상기 제1 및 제2 하부콘택홀(121a,121b)을 채운다. 상기 도전막을 상기 하부 층간절연막(120)이 노출될때까지 평탄화시키어 공통 소오스 플러그(224), 공통 소오스 배선(227) 및 제1 및 제2 하부플러그들(122,123)을 형성한다. 상기 도전막은 텅스텐막으로 형성할 수 있다.

<74>        도 16 및 도 10A를 참조하면, 상기 공통 소오스 배선(227)을 갖는 반도체기판(100) 전면에 베리어막 및 상변환 물질막을 차례로 형성하고, 상기 상변환 물질막 및 상기 베리어막을 연속적으로 패터닝하여 상기 제1 및 제2 하부플러그들(122,123)의 상부면을 덮는 제1 및 제2 정보저장요소들(150a,151a)을 형성한다. 상기 제1 및 제2 정보저장요소들(150a,151a)은 각각 차례로 적층된 제1 베리어막 패턴(130a) 및 제1 상변환 물질막 패턴(131a) 및 차례로 적층된 제2 베리어막 패턴(130b) 및 제2 상변환 물질막 패턴(131b)으로 구성된다.

- <75>        상기 제1 및 제2 정보저장요소들(150a,151a)을 갖는 반도체기판 전면에서 상부 층간 절연막(135)을 형성하고, 상기 상부 층간절연막(135)을 관통하여 상기 제1 및 제2 상변환 물질막 패턴들(131a,131b)에 각각 접촉하는 제1 및 제2 상부플러그들(137,138)을 형성한다. 이때, 상기 제1 및 제2 상부플러그들(137,138)은 히터플러그로 형성한다.
- <76>        상기 제1 및 제2 상부플러그들(137,138)을 갖는 반도체기판 전면에서 비트라인 도전막(140)을 형성하고, 상기 비트라인 도전막을 패터닝하여 게이트 라인들(117)을 가로지르는 복수개의 비트라인들(140a)을 형성한다.
- <77>        도 10B에 도시된 상변환 기억소자를 형성하는 방법을 간략히 설명하면, 이때에는 상기 공통 소오스 배선(227) 및 상기 공통 소오스 플러그(224)와 제1 및 제2 하부플러그들(122a,123a, 히터플러그로 형성됨)을 동시에 형성할 수 없다. 즉, 상기 제1 및 제2 하부플러그들(122a,123a)을 먼저 형성한 후, 상기 공통 소오스 배선(227) 및 상기 공통 소오스 플러그(224)를 형성할 수 있다. 이와는 반대로, 상기 공통 소오스 배선(227) 및 상기 공통 소오스 플러그(224)를 먼저 형성한 후, 상기 제1 및 제2 하부플러그들(122a,123a)을 형성할 수 있다.
- <78>        도 10C에 도시된 상변환 기억소자는 통상적인 방법으로 형성할 수 있다.

#### 【발명의 효과】

- <79>        본 발명에 따르면, 마주보는 제1 및 제2 측벽들을 갖는 트랜지스터 활성영역 및 상기 제1 및 제2 측벽들로 부터 각각 돌출된 제1 및 제2 스토리지 활성영역들로 구성된 활성영역을 갖는 상변환 기억소자를 구현한다. 이때, 상기 제1 및 제2 스토리지 활성영역들의 각각이 갖는 소정의 폭은 상기 트랜지스터 활성영역의 채널 폭보다 작다. 이로 인

하여, 상기 제1 및 제2 스토리지 활성영역들의 줄어든 폭만큼 상변환 기억 셀의 면적을 감소시킬 수 있다.

<80> 또한, 행들 및 열들을 따라 2차원적으로 배열된 셀어레이를 갖는 상변환기억소자에  
서, 짝수 행 및 이와 이웃하는 홀수 행 사이에 위치한 상기 제1 및 제2 스토리지 활성영  
역들은 상기 행들과 평행한 방향을 따라, 서로 번갈아가면서 반복적으로 배열된다. 그  
결과, 종래에 비하여 감소된 면적을 갖는 상변환 기억소자를 구현할 수 있다.

## 【특허청구범위】

## 【청구항 1】

반도체기판의 소정영역에 형성되되, 서로 마주보는 제1 및 제2 측벽들을 갖는 트랜지스터 활성영역과 상기 제1 및 제2 측벽들로부터 각각 돌출된 제1 및 제2 스토리지 활성영역들로 구성되고, 상기 제1 및 제2 스토리지 활성영역들은 각각 상기 트랜지스터 활성영역의 중심을 지나면서 상기 제1 및 제2 측벽들을 가로지르는 중심선의 양측에 위치하는 활성영역;

상기 트랜지스터 활성영역의 상부를 가로지르되, 상기 제1 및 제2 측벽들과 평행한 한 쌍의 게이트 라인들;

상기 제1 및 제2 스토리지 활성영역들 상에 각각 배치되고, 상기 제1 및 제2 스토리지 활성영역들에 각각 전기적으로 접속된 제1 및 제2 정보저장요소들; 및

상기 제1 및 제2 정보저장요소들의 상부에 배치되고, 상기 게이트라인들을 가로지르도록 연장된 비트라인을 포함하되, 상기 비트라인은 상기 제1 및 제2 정보저장요소들에 전기적으로 접속된 것을 특징으로 하는 상변환 기억소자.

## 【청구항 2】

제 1 항에 있어서,

상기 제1 및 제2 스토리지 활성영역들 및 상기 제1 및 제2 정보저장요소들 사이에 개재된 하부 충전절연막;

상기 하부 충전절연막을 관통하여 상기 제1 및 제2 스토리지 활성영역들을 상기 제1 및 제2 스토리지 활성영역들에 각각 전기적으로 접속시키는 제1 및 제2 하부플러그들;



상기 제1 및 제2 정보저장요소들 및 상기 하부 층간절연막을 덮는 상부 층간절연막; 및

상기 상부 층간절연막을 관통하여 상기 제1 및 제2 정보저장요소들에 각각 접촉하는 제1 및 제2 상부 플러그들을 더 포함하되, 상기 비트라인은 상기 상부 층간절연막 상에 배치되고, 상기 비트라인의 하부면은 상기 제1 및 제2 상부 플러그들의 상부면들과 접촉하는 것을 특징으로 하는 상변환 기억소자.

**【청구항 3】**

제 2 항에 있어서,

상기 제1 및 제2 하부플러그들로 이루어진 일군 및 제1 및 제2 상부플러그들로 이루어진 일군 중 선택된 하나의 일군은 히터플러그들인 것을 특징으로 하는 상변환 기억소자.

**【청구항 4】**

제 3 항에 있어서,

상기 히터플러그들은 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON막, TiAlON막, WON막 및 TaON막으로 이루어진 일군에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 상변환 기억소자.

**【청구항 5】**

제 2 항에 있어서,

상기 트랜지스터 활성영역은 상기 게이트 라인들과 평행한 채널 폭을 갖고, 상기 제1 및 제2 스토리지 활성영역들은 각각 상기 채널 폭과 평행한 소정의 폭을 갖고, 상기 제1 및 제2 하부플러그들은 각각 소정의 직경을 갖되, 상기 소정의 폭은 상기 소정의 직경 보다 크고, 상기 채널 폭의 1/2보다 작은 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 6】

제 1 항에 있어서,

상기 제1 및 제2 정보저장요소들은 각각 제1 및 제2 상변환 물질막 패턴들을 포함 하되, 상기 제1 및 제2 상변환 물질막 패턴들은 각각 칼코게나이드(chalcogenide) 원소 인 텔루리움(Te) 및 셀레니움(Se) 중 선택된 적어도 하나를 함유하는 물질막으로 이루어 지는 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 7】

반도체기판에 행들 및 열들을 따라 2차원적으로 배열되되, 그들의 각각은 상기 행 방향과 평행하면서 서로 마주보는 제1 및 제2 측벽들을 갖는 트랜지스터 활성영역과 상기 제1 및 제2 측벽들로 부터 각각 돌출된 제1 및 제2 스토리지 활성영역들로 구성되고, 상기 제1 및 제2 스토리지 활성영역들은 각각 상기 트랜지스터 활성영역의 중심을 지나 면서 상기 열과 평행한 중심선의 양측에 위치하는 복수개의 활성영역들;

상기 트랜지스터 활성영역들의 상부를 가로지르되, 상기 행방향과 평행한 복수개의 게이트 라인들;

상기 제1 및 제2 스토리지 활성영역들 상에 각각 배치되고, 상기 제1 및 제2 스토리지 활성영역들에 각각 전기적으로 접속된 제1 및 제2 정보저장요소들; 및

상기 제1 및 제2 정보저장요소들의 상부에 배치되고, 상기 열 방향을 따라, 연장된 복수개의 비트라인들을 포함하되, 상기 각 트랜지스터 활성영역들의 상부를 한쌍의 상기 게이트 라인들이 가르치르고, 상기 한 쌍의 게이트 라인들 사이의 상기 각 트랜지스터 활성영역은 공통 소오스 영역이고, 상기 비트라인들의 각각은 상기 각 열들 내에 배열된 상기 제1 및 제2 정보저장요소들에 전기적으로 접속된 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 8】

제 7 항에 있어서,

상기 복수개의 행들 중 짝수 행 및 이와 이웃하는 홀수 행 사이에 위치한 상기 제1 및 제2 스토리지 활성영역들은 상기 행들과 평행한 방향을 따라 서로 번갈아가면서 반복적으로 배열된 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 9】

제 7 항에 있어서,

상기 각 행들 내에 배열된 상기 공통 소오스 영역들 개재된 커넥터 활성영역들을 더 포함하되, 상기 각 커넥터 활성영역들은 상기 각 행들 내에서 인접하는 상기 두개의 상기 공통 소오스 영역들 사이에 개재되어 상기 커넥터 활성영역들은 상기 각 행들 내에 배열된 상기 공통 소오스 영역들을 전기적으로 접속시키는 것을 특징으로 하는 상변환 기억 소자.

#### 【청구항 10】

제 7 항에 있어서,

상기 공통 소오스 영역들의 상부에 배치되고, 상기 행 방향을 따라 연장된 복수개의 공통 소오스 배선들을 더 포함하되, 상기 공통 소오스 배선들의 각각은 상기 각 행들 내에 배열된 상기 공통 소오스 영역들에 전기적으로 접속되는 것을 특징으로 하는 상변환 기억소자.

【청구항 11】

제 10 항에 있어서,

상기 공통 소오스 영역들 상에 배치된 하부 층간절연막; 및

상기 하부 층간절연막을 관통하여 상기 각 공통 소오스 영역들의 소정영역에 접촉하되, 상부면이 상기 하부 층간절연막의 표면으로 부터 소정의 깊이로 이격된 공통 소오스 플러그들을 더 포함하되, 상기 각 공통 소오스 배선들의 하부면은 상기 각 행들 내에 배열된 상기 공통 소오스 플러그들의 상부면과 접촉하고, 상기 각 공통 소오스 배선들의 상부면은 상기 하부 층간절연막의 표면과 같은 높이인 것을 특징으로 하는 상변환 기억소자.

【청구항 12】

제 10 항에 있어서,

상기 공통 소오스 영역들 상에 배치된 하부 층간절연막; 및

상기 하부 층간절연막을 관통하여 상기 각 공통 소오스 영역들의 소정영역에 접촉하되, 상부면이 상기 하부 층간절연막의 표면과 같은 높이인 공통 소오스 플러그들을 더 포함하되, 상기 각 공통 소오스 배선들은 상기 하부 층간절연막 상에 배치되고, 상기

공통 소오스 배선들의 하부면은 상기 각 행들 내에 배열된 상기 공통 소오스 플러그들의 상부면과 접촉하는 것을 특징으로 하는 상변환 기억 소자.

【청구항 13】

제 7 항에 있어서,

상기 제1 및 제2 활성영역들 및 상기 제1 및 제2 정보저장요소들 사이에 개재된 하부 충전절연막;

상기 하부 충전절연막을 관통하여 상기 제1 및 제2 정보저장요소들을 상기 제1 및 제2 스토리지 활성영역들에 각각 전기적으로 접속시키는 제1 및 제2 하부플러그들;

상기 제1 및 제2 정보저장요소들을 덮는 상부 충전절연막; 및

상기 상부 충전절연막을 관통하여 상기 제1 및 제2 정보저장요소들에 각각 접촉하는 제1 및 제2 상부 플러그들을 더 포함하되, 상기 비트라인들은 상기 상부 충전절연막에 배치되고, 상기 각 열내에 배열된 상기 제1 및 제2 상부 플러그들의 상부면들은 상기 각 비트라인들의 하부면과 접촉하는 것을 특징으로 하는 상변환 기억소자.

【청구항 14】

제 13 항에 있어서,

상기 제1 및 제2 하부플러그들로 이루어진 일군 및 제1 및 제2 상부플러그들로 이루어진 일군 중 선택된 하나의 일군은 히터플러그들인 것을 특징으로 하는 상변환 기억 소자.

【청구항 15】

제 14 항에 있어서,

상기 히터플러그는 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON막, TiAlON막, WON막 및 TaON막으로 이루어진 일군에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 16】

제 13 항에 있어서,

상기 각 트랜지스터 활성영역들은 상기 게이트 라인들과 평행한 채널 폭을 갖고, 상기 제1 및 제2 스토리지 활성영역들은 각각 상기 채널 폭과 평행한 소정의 폭을 갖고, 상기 제1 및 제2 하부플러그들은 각각 소정의 직경을 갖되, 상기 소정의 폭은 상기 소정의 직경 보다 크고, 상기 채널 폭의 1/2보다 작은 것을 특징으로 하는 상변환 기억소자.

#### 【청구항 17】

제 13 항에 있어서,

상기 제1 및 제2 하부플러그들의 상부면들 상에 각각 배치된 제1 및 제2 버퍼 패턴들;

상기 제1 및 제2 버퍼패턴들을 덮되, 상기 하부 충전절연막 및 상기 상부 충전절연막 사이에 개재된 중간 충전절연막; 및

상기 중간 충전절연막 관통하여 상기 제1 및 제2 버퍼 패턴들에 각각 접촉하는 제1 및 제2 중간 플러그들을 더 포함하되, 상기 제1 및 제2 정보저장요소들의 하부면들은 상기 제1 및 제2 중간플러그들의 상부면들에 각각 접촉하고, 상기 제1 중간플러그 및 상기

제1 상부플러그 중 선택된 어느 하나 및 상기 제2 중간플러그 및 상기 제2 상부플러그 중 선택된 어느 하나는 히터플러그들 인 것을 특징으로 하는 상변환 기억소자.

【청구항 18】

제 17 항에 있어서,

상기 히터플러그들은 TiN막, TaN막, WN막, MoN막, NbN막, TiSiN막, TiAlN막, TiBN막, ZrSiN막, WBN막, ZrAlN막, MoSiN막, MoAlN막, TaSiN막, TaAlN막, TiON막, TiAlON막, WON막 및 TaON막으로 이루어진 일군에서 선택된 적어도 하나로 이루어지는 것을 특징으로 하는 상변환 기억소자.

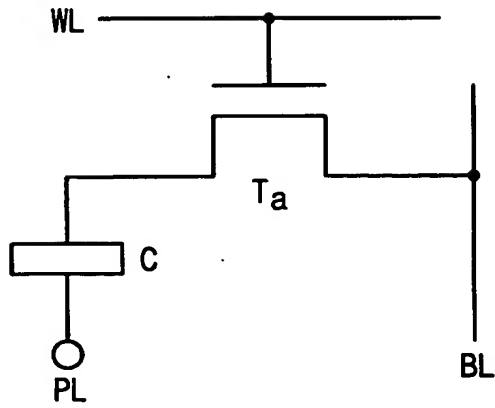
【청구항 19】

제 7 항에 있어서,

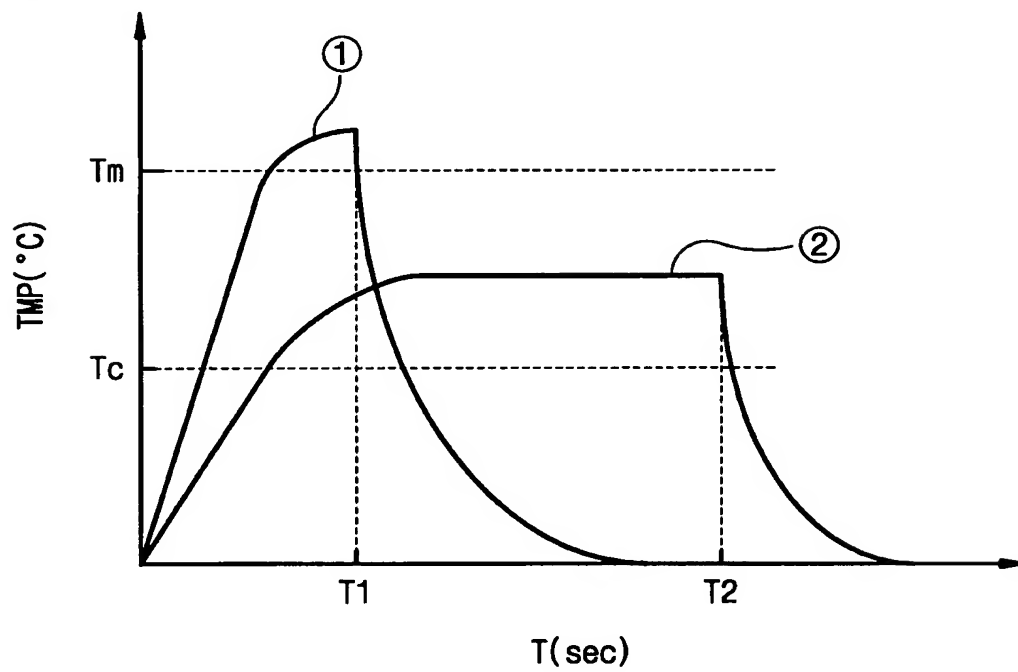
상기 제1 및 제2 정보저장요소들은 각각 제1 및 제2 상변환 물질막 패턴들을 포함 하되, 상기 제1 및 제2 상변환 물질막 패턴들은 각각 칼코게나이드(chalcogenide) 원소 인 텔루리움(Te) 및 셀레니움(Se) 중 선택된 적어도 하나를 함유하는 물질막으로 이루어 지는 것을 특징으로 하는 상변환 기억소자.

## 【도면】

【도 1】



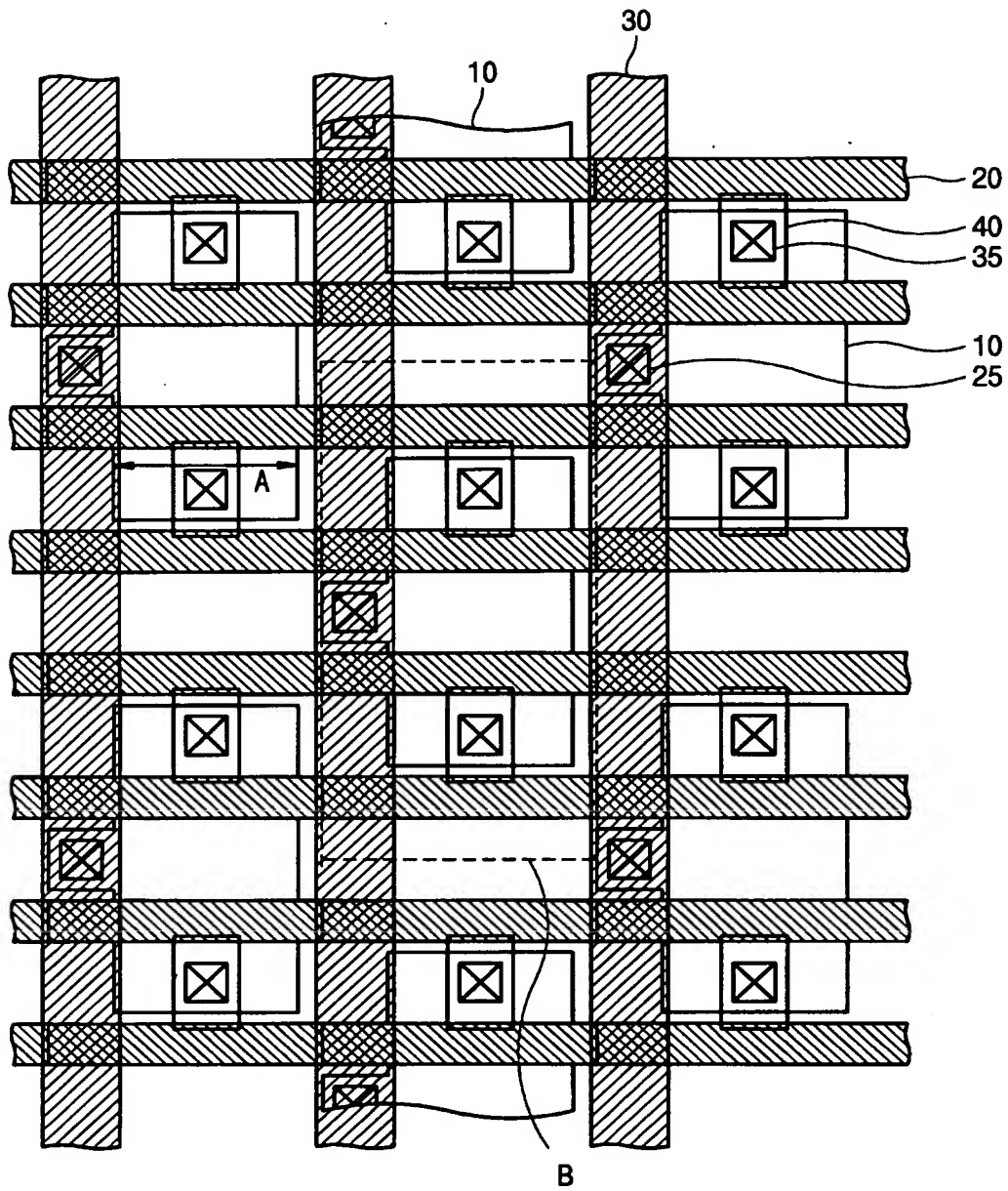
【도 2】



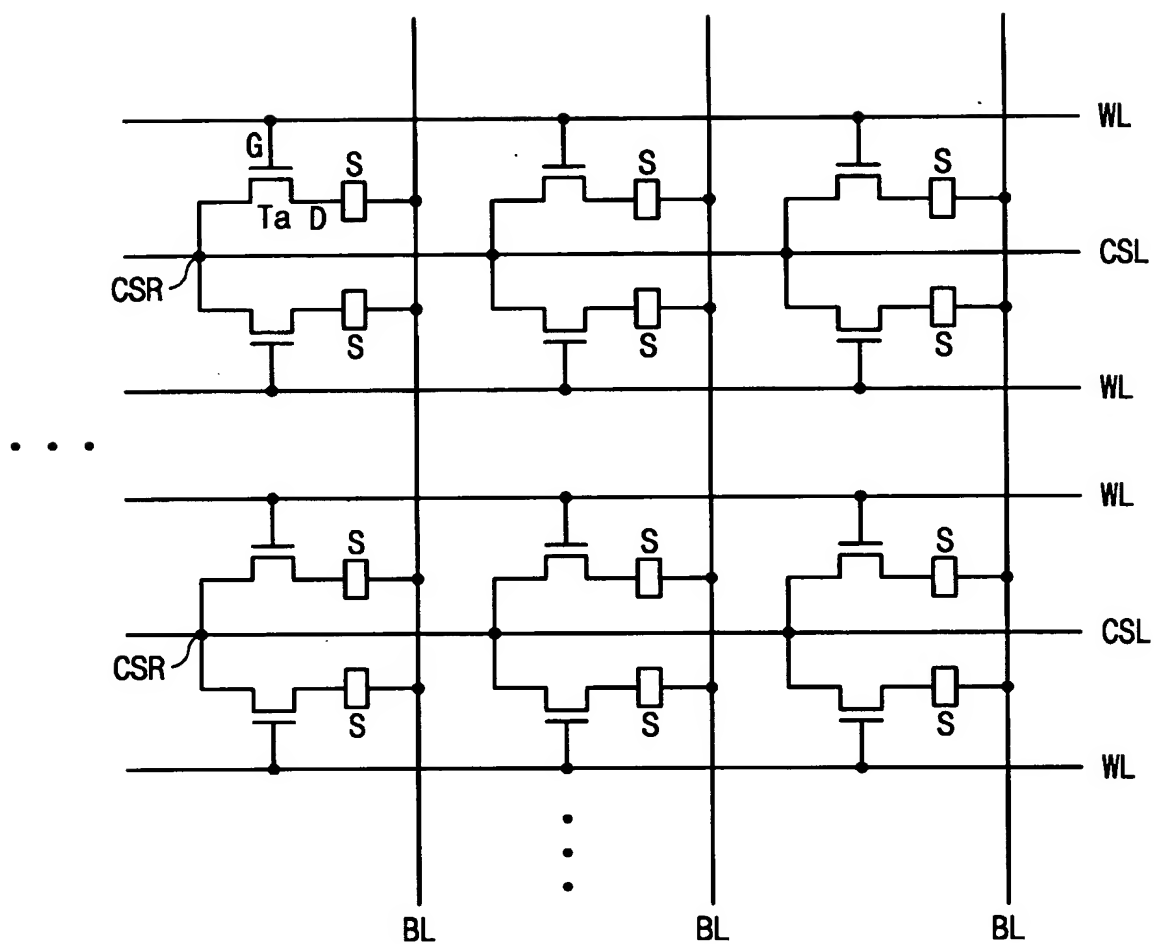


【도 3】

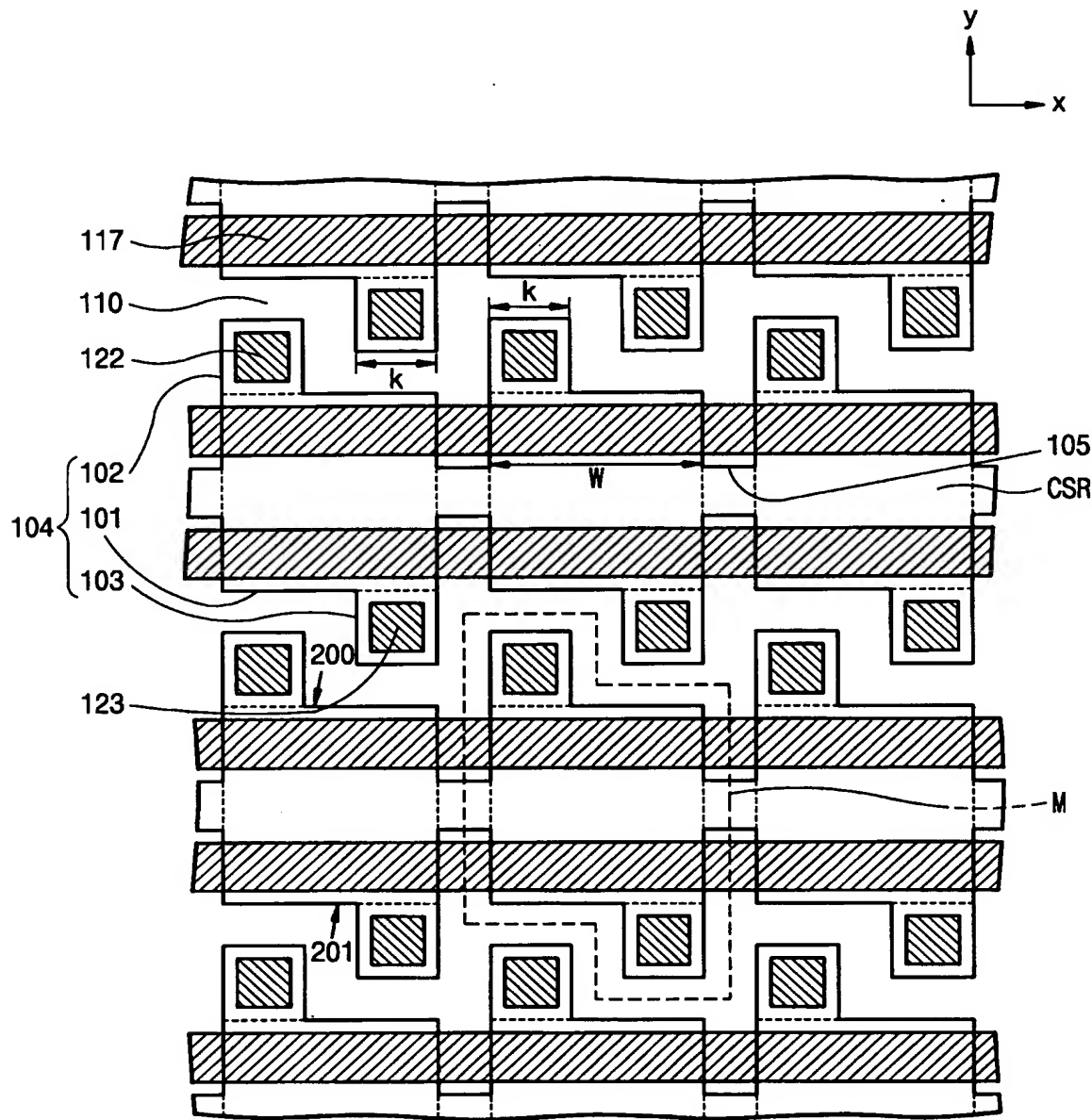
(종래 기술)



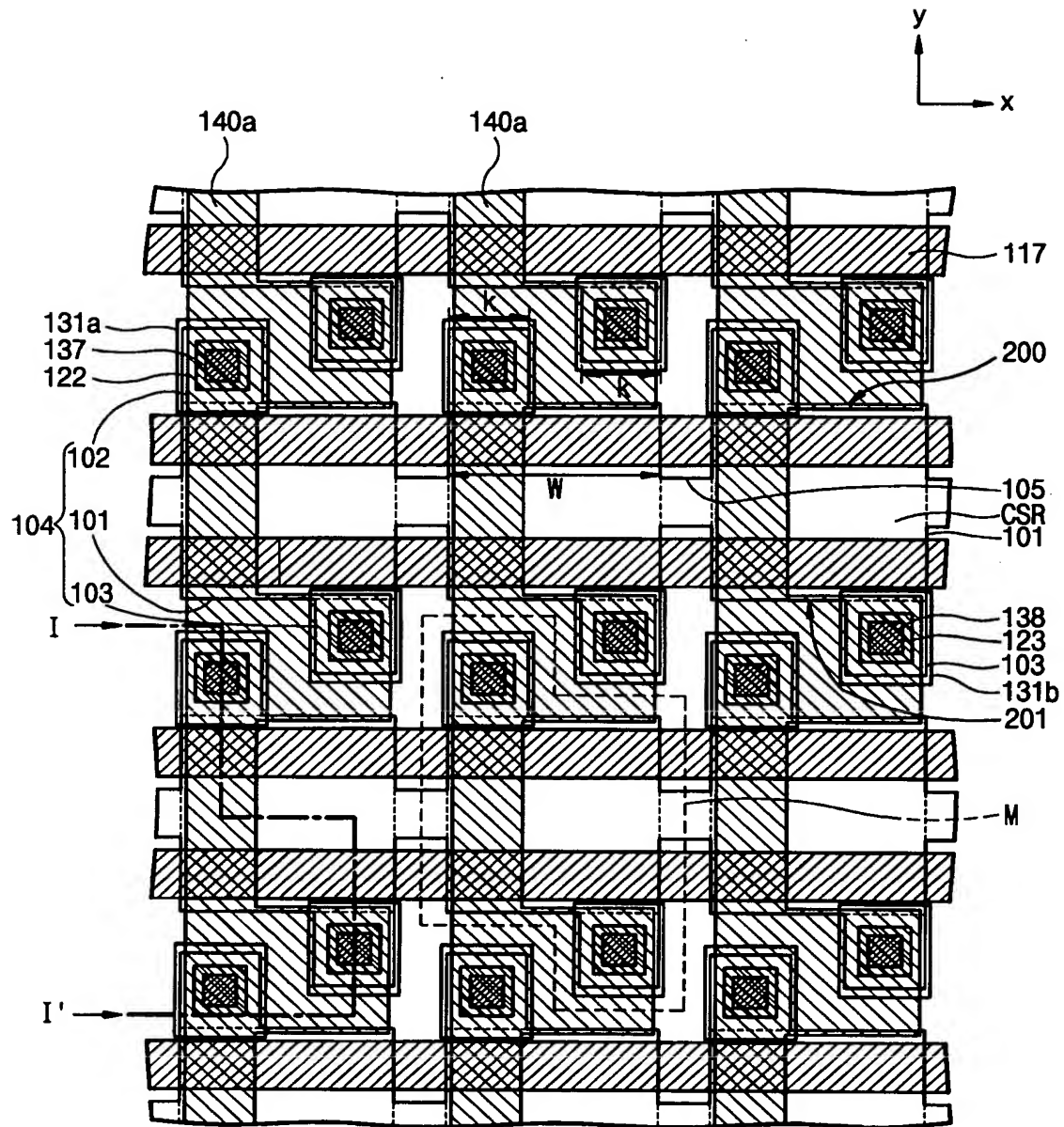
【도 4】



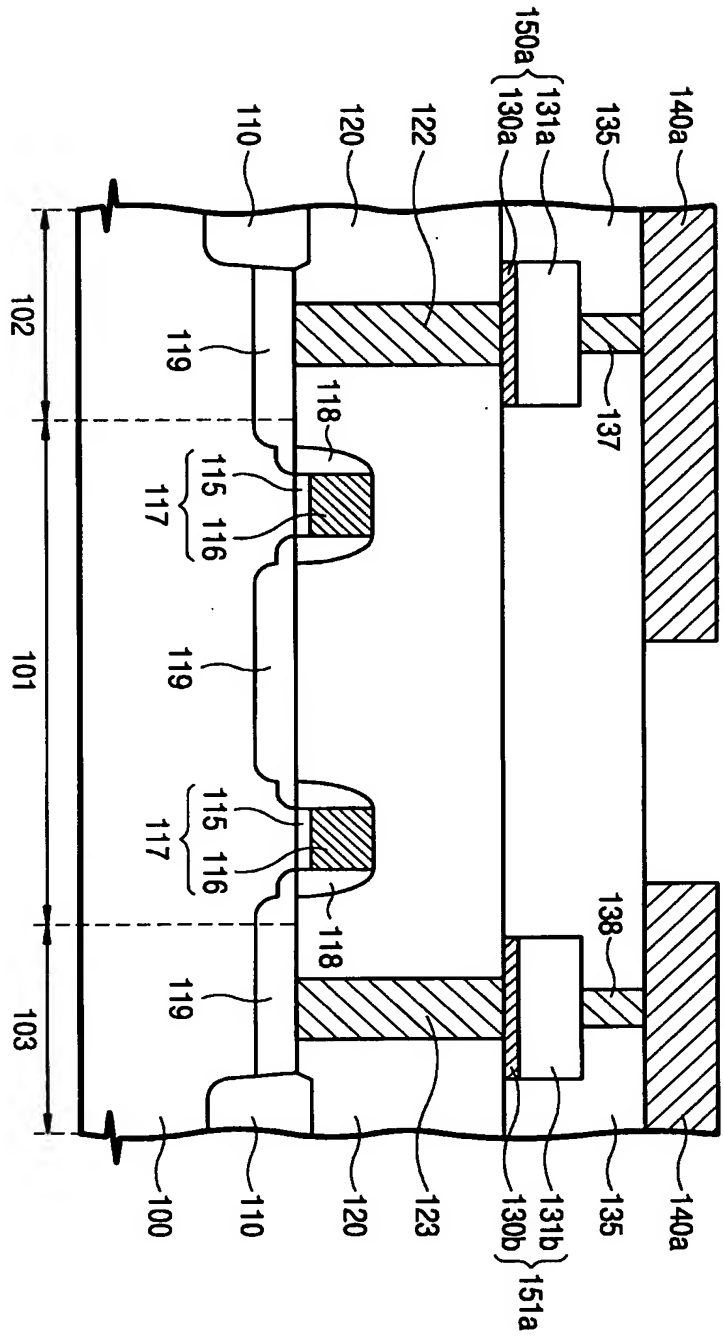
【도 5】



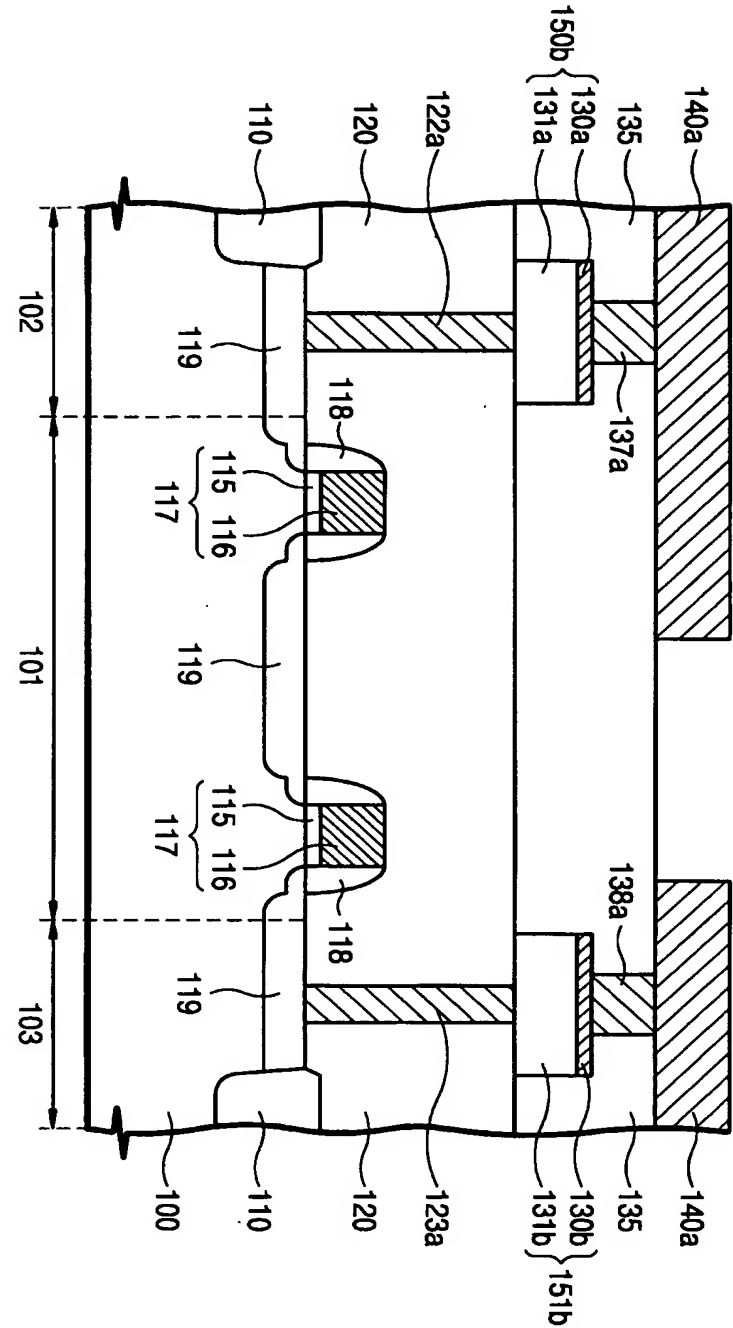
【도 6】



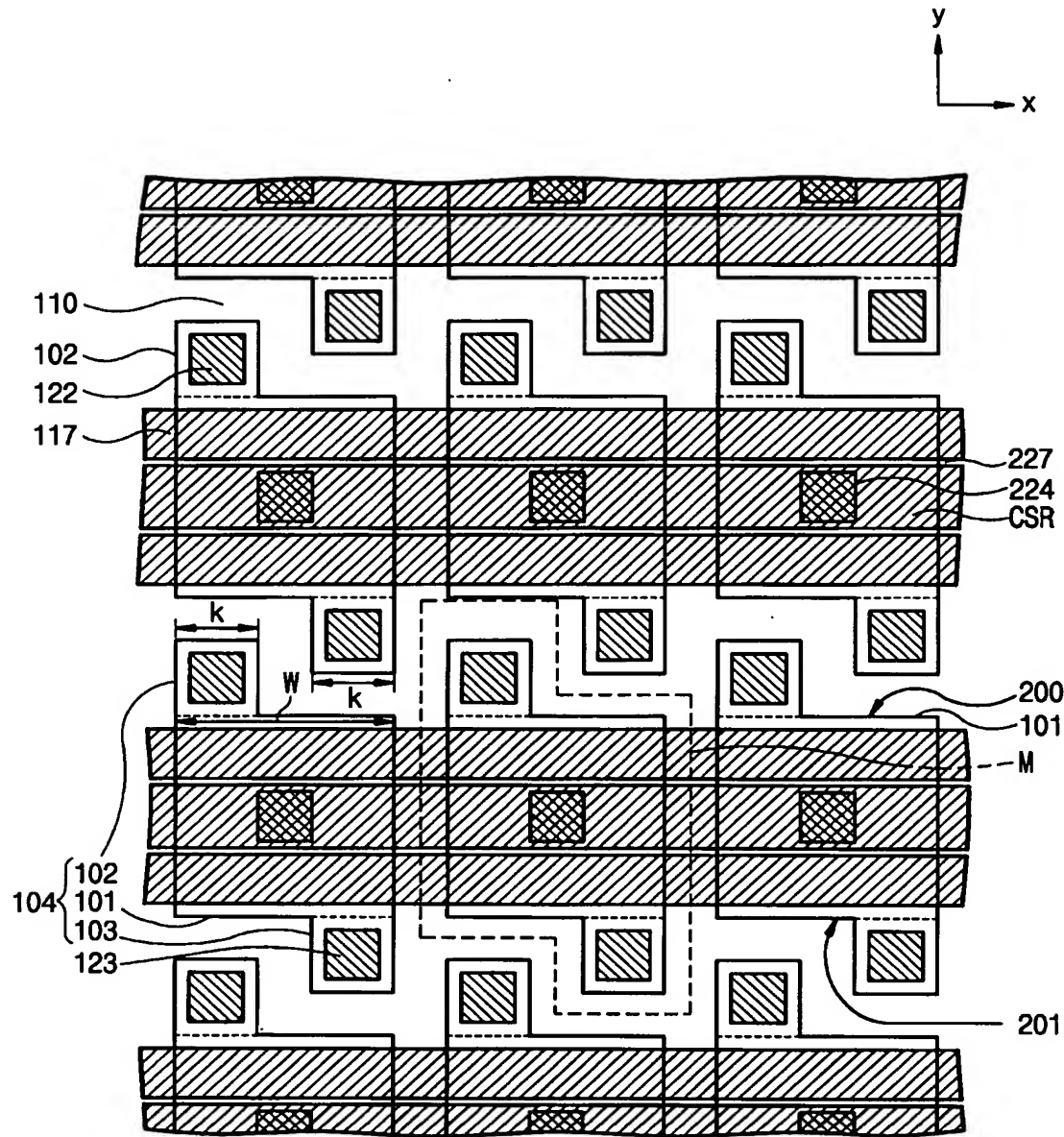
【도 7a】



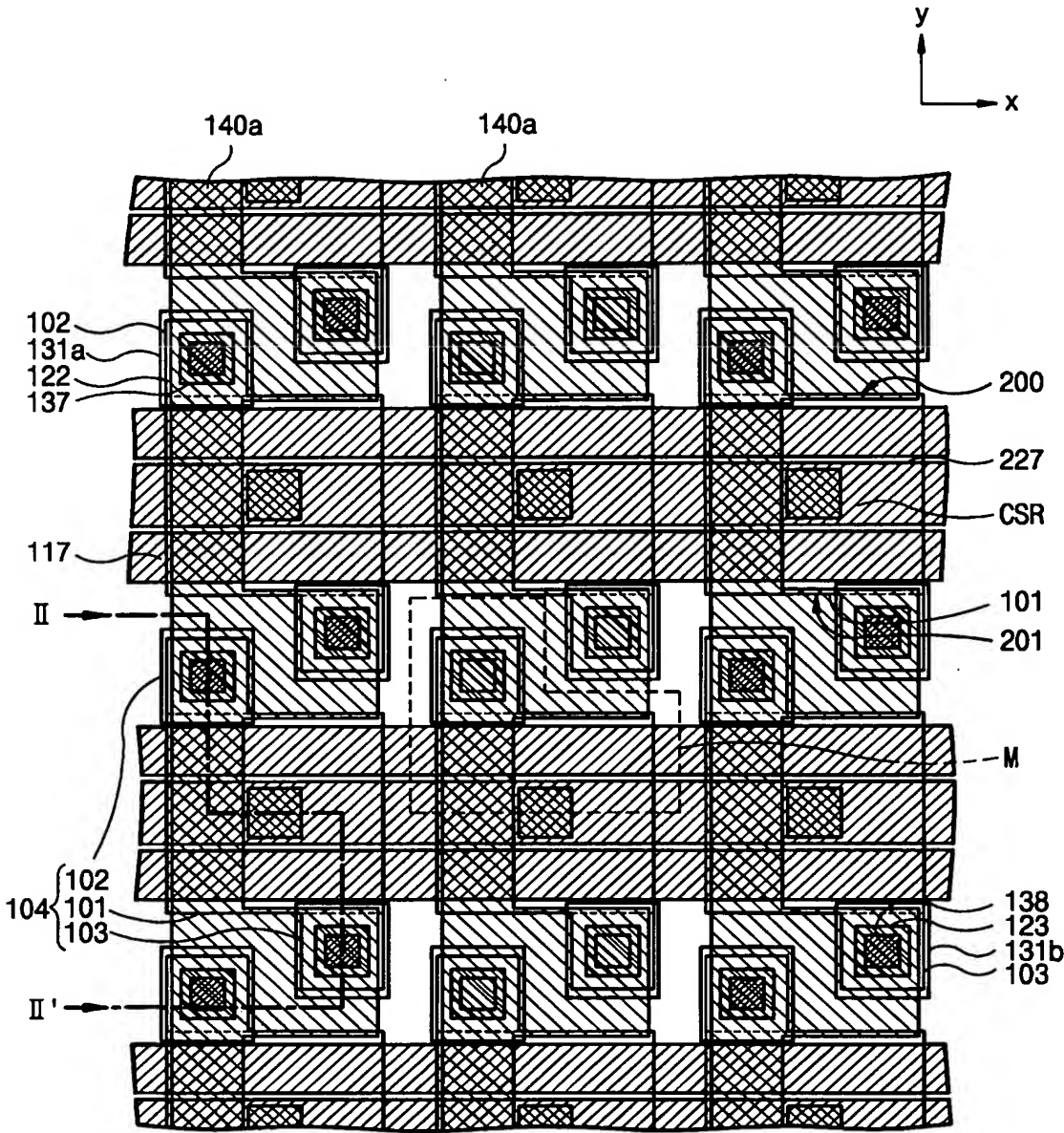
【도 7b】



【도 8】

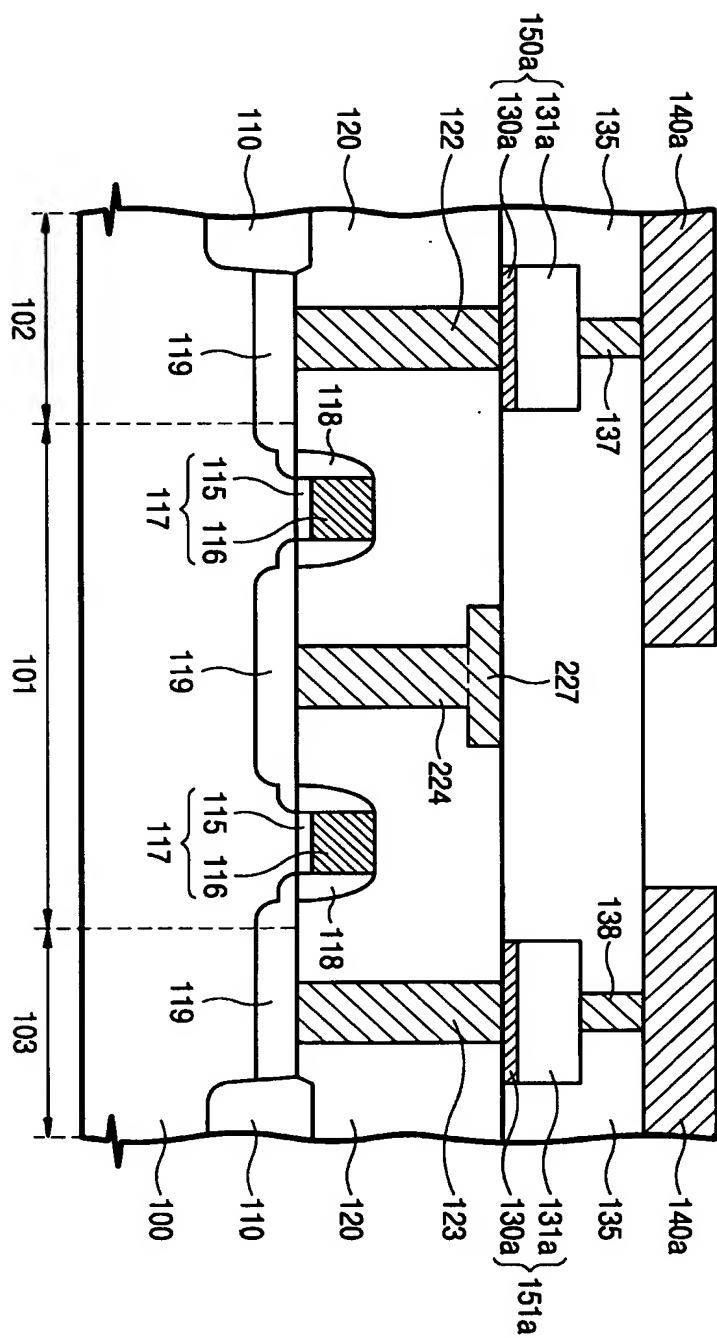


【도 9】

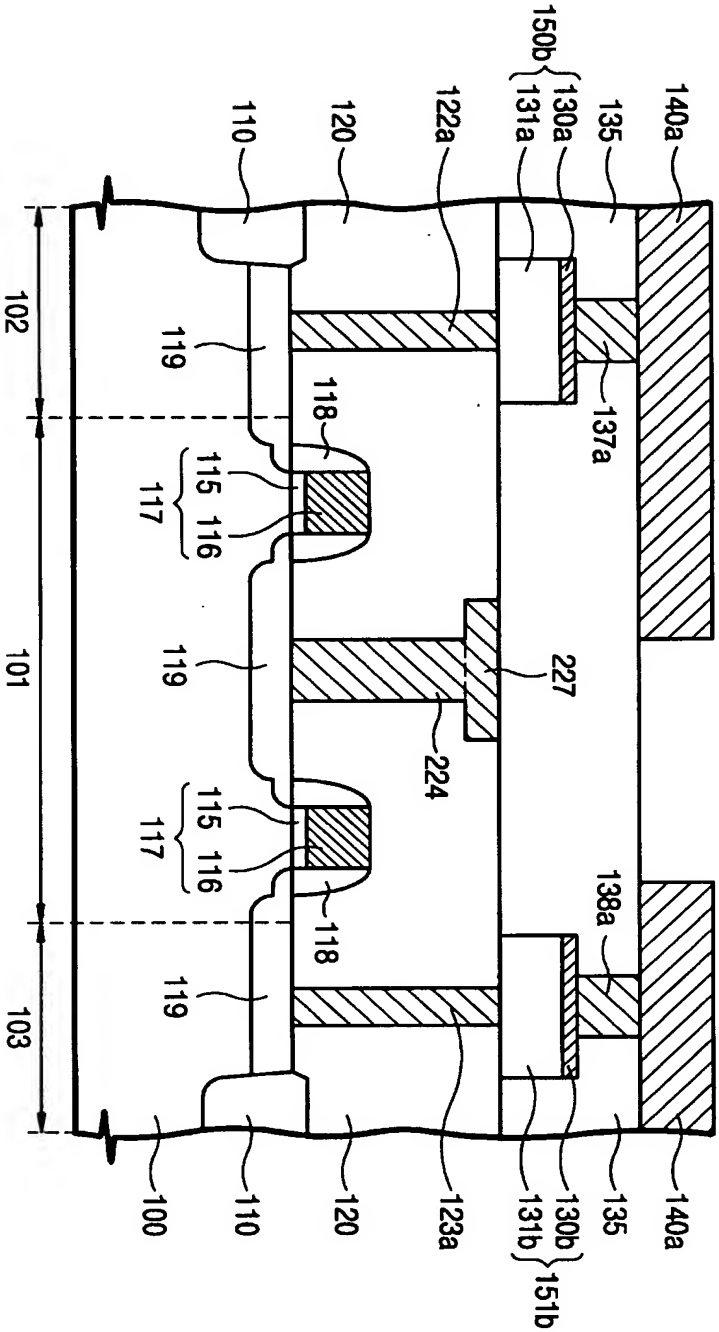




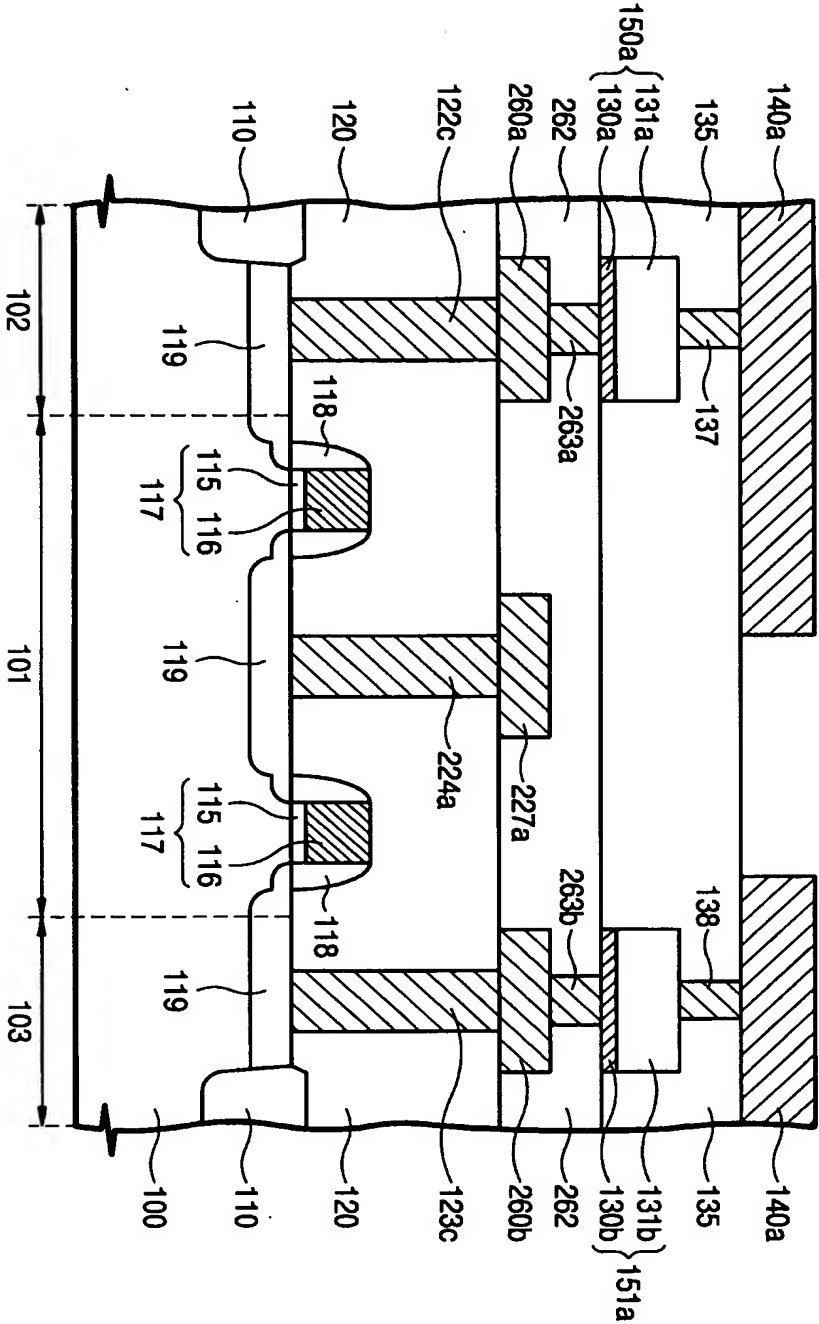
【도 10a】



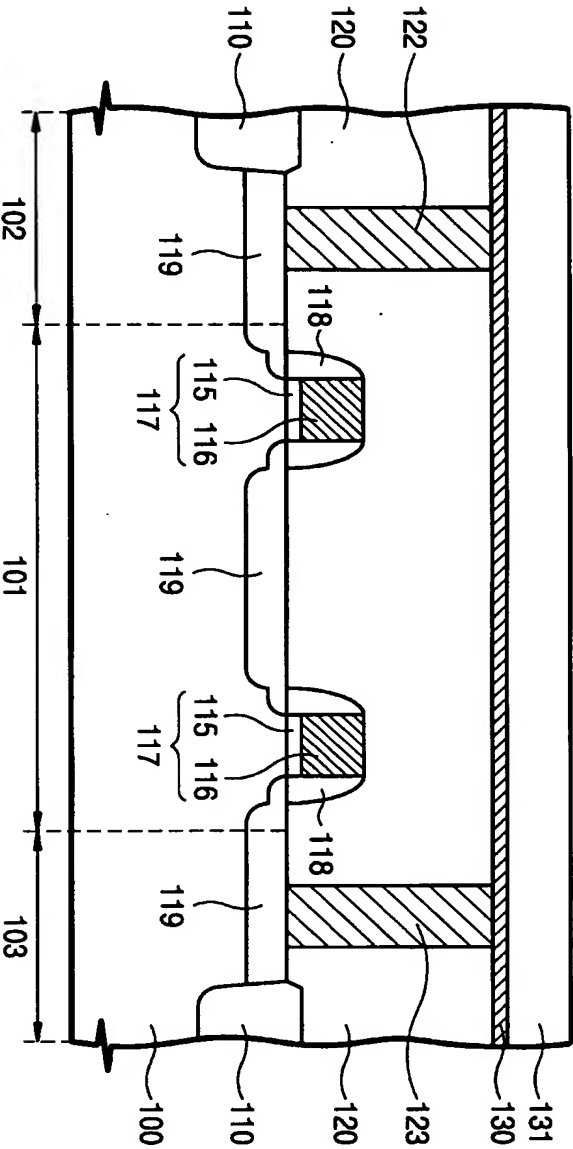
【도 10b】



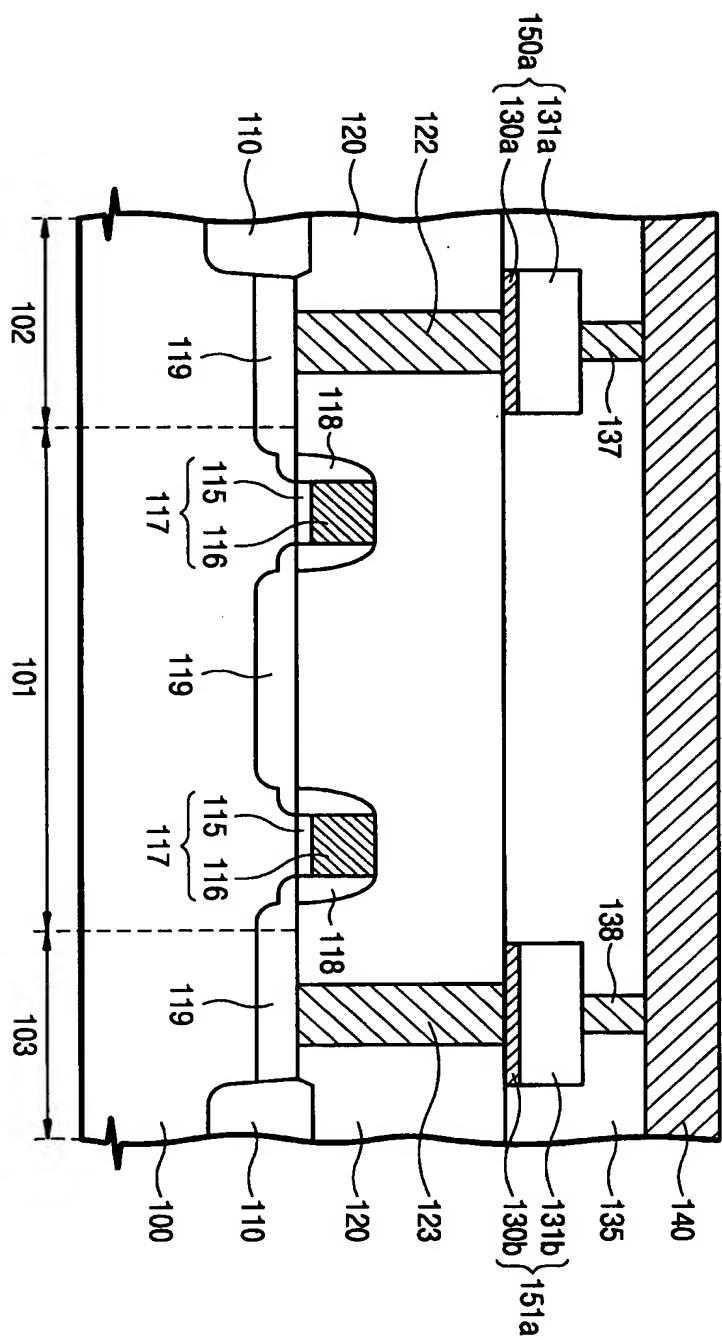
【도 10c】



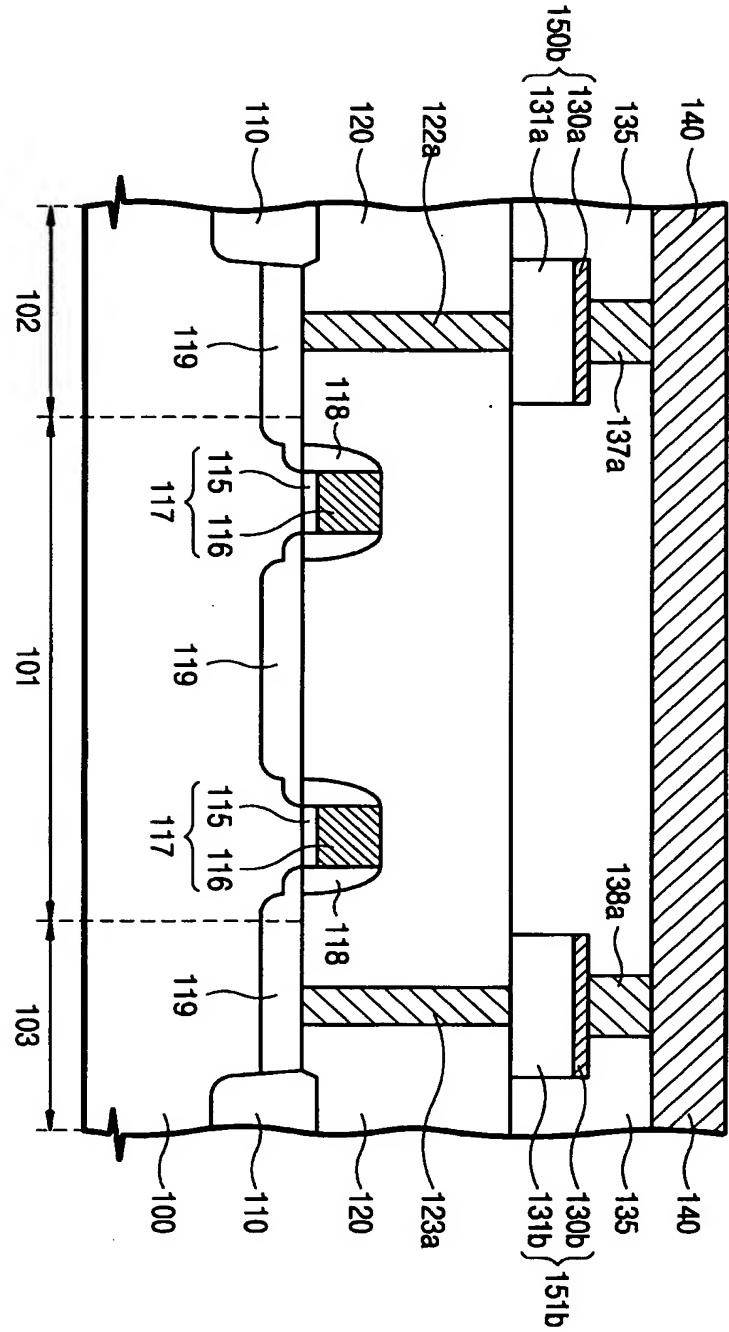
【도 11】



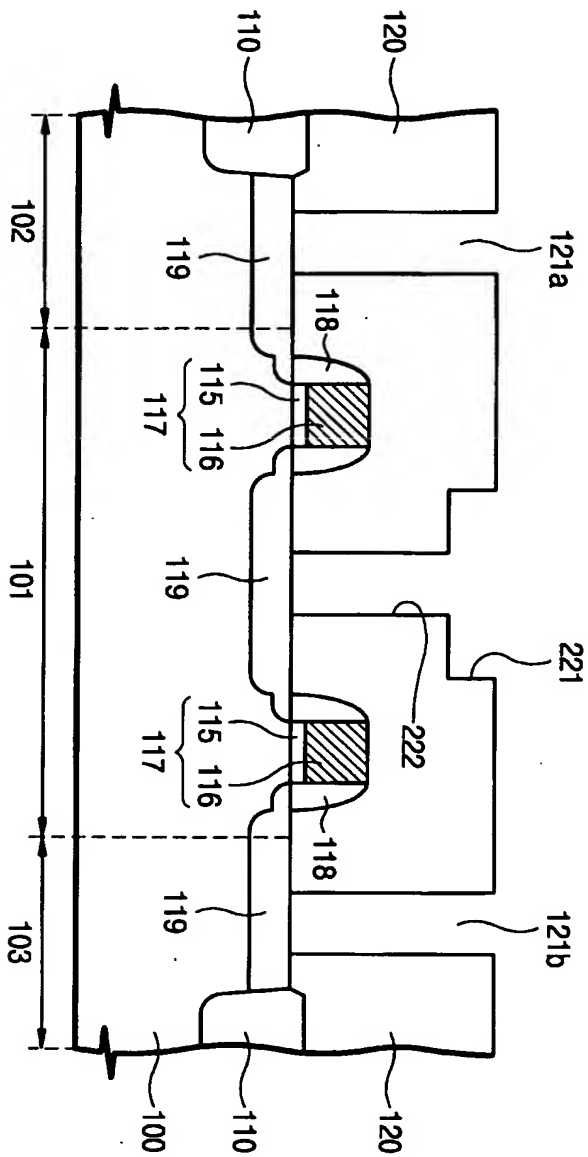
【도 12】



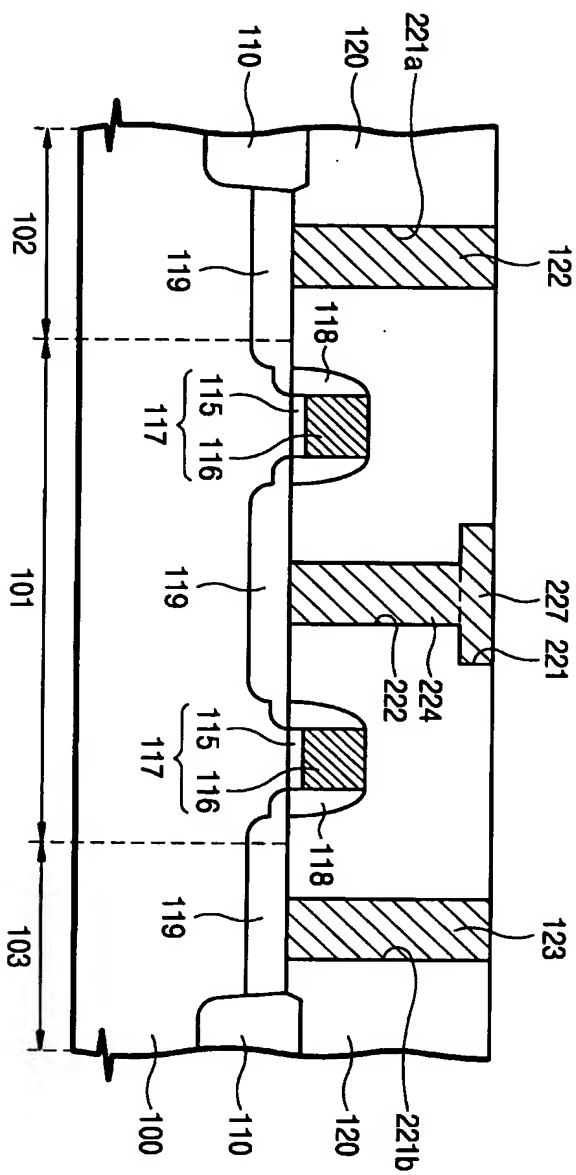
【도 13】



【도 14】



【도 15】





【도 16】

